

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002110647 A**

(43) Date of publication of application: **12.04.02**

(51) Int. Cl.

**H01L 21/3065**

**H01L 21/28**

**H01L 21/768**

**H01L 27/108**

**H01L 21/8242**

(21) Application number: **2000299854**

(22) Date of filing: **29.09.00**

(71) Applicant: **HITACHI LTD NEC CORP**

(72) Inventor: **IKEDA TAKENOBU  
TADOKORO MASAHIRO  
IZAWA MASARU  
YUNOGAMI TAKASHI**

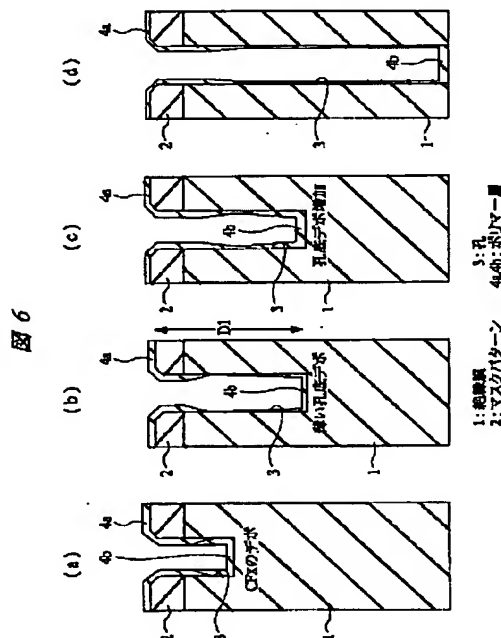
(54) **MANUFACTURING METHOD OF  
SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To form a groove or a hole of high aspect ratio.

**SOLUTION:** When a hole 3 is shaped in an insulation film 1 through selectively etching the insulation film 1 subjecting it to plasma etching treatment, by using C5F8, O2 and Ar etching gas for the insulation film 1 formed of silicon oxide, etching treatment is at first performed under conditions of weak deposition characteristics of a polymer layer and then is successively subjected to, with switching of the conditions to one of strong deposition characteristics.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-110647  
(P2002-110647A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L	21/3065	H 0 1 L 21/28	M 4 M 1 0 4
	21/28	21/302	F 5 F 0 0 4
	21/768	21/90	C 5 F 0 3 3
	27/108	27/10	6 2 1 C 5 F 0 8 3
	21/8242		

審査請求 未請求 請求項の数36 O L (全 28 頁)

(21) 出願番号 特願2000-299854 (P2000-299854)

(22) 出願日 平成12年9月29日 (2000.9.29)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 池田 武信  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(74) 代理人 100080001  
弁理士 筒井 大和

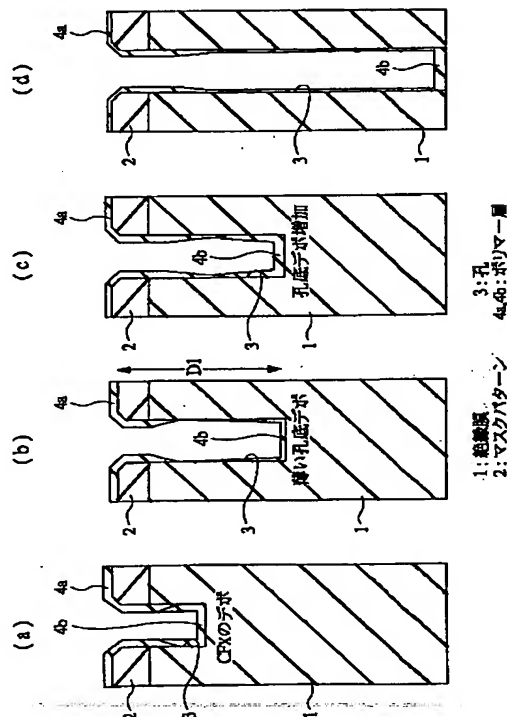
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 高アスペクト比の孔または溝を穿孔する。  
【解決手段】 酸化シリコンからなる絶縁膜1に対し、 $C_5F_8$ 、 $O_2$ およびArのエッチングガスを用いプラズマエッチング処理を施し、絶縁膜1を選択的にエッチングすることにより、絶縁膜1に孔3を穿孔する際に、最初は、ポリマー層のデポジション性が弱い条件でエッチング処理を行い、続いてポリマー層のデポジション性が強い条件に切り換えてエッチング処理を行うようにした。

図6



**【特許請求の範囲】**

**【請求項1】** 半導体基板上に堆積された酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスをを用いプラズマエッチング処理を施すことにより、前記酸化シリコン系の絶縁膜を選択的にエッチング加工する際に、第1、第2のステップを順に行う工程を有し、

前記第1ステップでは、ポリマー層のデポジション性が前記第2ステップ時よりも弱い条件でエッチング処理を行い、続く第2ステップでは、ポリマー層のデポジション性が前記第1ステップ時よりも強い条件に切り換えてエッチング処理を行うことを特徴とする半導体集積回路装置の製造方法。

**【請求項2】** 請求項1記載の半導体集積回路装置の製造方法において、前記第2ステップのエッチングガス中の酸素の流量比を、前記第1ステップのエッチングガス中の酸素の流量比よりも低くすることを特徴とする半導体集積回路装置の製造方法。

**【請求項3】** 請求項1記載の半導体集積回路装置の製造方法において、前記第2ステップにおけるエッチング装置の下部電極に印加する高周波電力を、前記第1ステップにおけるエッチング装置の下部電極に印加する高周波電力よりも低くすることを特徴とする半導体集積回路装置の製造方法。

**【請求項4】** 請求項1記載の半導体集積回路装置の製造方法において、前記酸化シリコン系の絶縁膜のエッチング加工により、酸化シリコン系の絶縁膜に孔または溝を形成することを特徴とする半導体集積回路装置の製造方法。

**【請求項5】** 請求項4記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔または溝のアスペクト比が2～14であることを特徴とする半導体集積回路装置の製造方法。

**【請求項6】** 請求項4記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔または溝のアスペクト比が4～12であることを特徴とする半導体集積回路装置の製造方法。

**【請求項7】** 請求項4記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔または溝のアスペクト比が6～10であることを特徴とする半導体集積回路装置の製造方法。

**【請求項8】** 請求項4記載の半導体集積回路装置の製造方法において、前記第2ステップで形成される孔または溝のアスペクト比が10よりも大きいことを特徴とする半導体集積回路装置の製造方法。

**【請求項9】** 半導体基板上に堆積された酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスをを用いプラズマエッチング処理を施すことにより、前記酸化シリコン系の絶縁膜を選択的にエッチング加工する際に、CF系の付着物の量に

応じて第1ステップのエッチングおよび第2ステップのエッチングを順に行う工程を有し、前記第2ステップのエッチングガス中の酸素の流量比を、前記第1ステップのエッチングガス中の酸素の流量比よりも低くすることを特徴とする半導体集積回路装置の製造方法。

**【請求項10】** 請求項9記載の半導体集積回路装置の製造方法において、前記酸化シリコン系の絶縁膜のエッチング加工により、酸化シリコン系の絶縁膜に孔または溝を形成することを特徴とする半導体集積回路装置の製造方法。

**【請求項11】** 請求項10記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔または溝のアスペクト比が2～14であることを特徴とする半導体集積回路装置の製造方法。

**【請求項12】** 請求項10記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔または溝のアスペクト比が4～12であることを特徴とする半導体集積回路装置の製造方法。

**【請求項13】** 請求項10記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔または溝のアスペクト比が6～10であることを特徴とする半導体集積回路装置の製造方法。

**【請求項14】** 請求項10記載の半導体集積回路装置の製造方法において、前記第2ステップで形成される孔または溝のアスペクト比が10よりも大きいことを特徴とする半導体集積回路装置の製造方法。

**【請求項15】** 半導体基板上に堆積された酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスをを用いプラズマエッチング処理を施し、前記酸化シリコン系の絶縁膜を選択的にエッチングすることにより、前記酸化シリコン系の絶縁膜に孔または溝を形成する際に、(a)第1ステップのエッチング工程では、エッチングガス中の酸素の流量比を第1の流量比としてエッチング処理を施すことにより、前記孔または溝の途中の深さまでを穿孔する工程、

(b)第2ステップのエッチング工程では、前記エッチングガス中の酸素の流量比を前記第1の流量比よりも低くした状態でエッチング処理を施すことにより、前記孔または溝を穿孔する工程を順に有し、

前記第1ステップで形成される孔または溝のアスペクト比が2～14であることを特徴とする半導体集積回路装置の製造方法。

**【請求項16】** 請求項15記載の半導体集積回路装置の製造方法において、前記第2ステップで形成される孔または溝のアスペクト比が10よりも大きいことを特徴とする半導体集積回路装置の製造方法。

**【請求項17】** 半導体基板上に堆積された酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスをを用いプラズマエッチング処理を施し、前記酸化シリコン系の絶縁膜を選択的にエ

エッチングすることにより、前記酸化シリコン系の絶縁膜に孔または溝を形成する際に、(a)第1ステップのエッチング工程では、エッチングガス中の酸素の流量比を第1の流量比としてエッチング処理を施すことにより、前記孔または溝の途中の深さまでを穿孔する工程、

(b)第2ステップのエッチング工程では、前記エッチングガス中の酸素の流量比を前記第1の流量比よりも低くした状態でエッチング処理を施すことにより、前記孔または溝を穿孔する工程を順に有し、前記第1ステップで形成される孔または溝のアスペクト比が4~12であることを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法において、前記第2ステップで形成される孔または溝のアスペクト比が10よりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項19】 半導体基板上に堆積された酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスを用いプラズマエッチング処理を施し、前記酸化シリコン系の絶縁膜を選択的にエッチングすることにより、前記酸化シリコン系の絶縁膜に孔または溝を形成する際に、(a)第1ステップのエッチング工程では、エッチングガス中の酸素の流量比を第1の流量比としてエッチング処理を施すことにより、前記孔または溝の途中の深さまでを穿孔する工程、

(b)第2ステップのエッチング工程では、前記エッチングガス中の酸素の流量比を前記第1の流量比よりも低くした状態でエッチング処理を施すことにより、前記孔または溝を穿孔する工程を順に有し、前記第1ステップで形成される孔または溝のアスペクト比が6~10であることを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項19記載の半導体集積回路装置の製造方法において、前記第2ステップで形成される孔または溝のアスペクト比が10よりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項21】 (a)半導体基板にメモリセル選択用電界効果トランジスタを形成する工程、(b)前記半導体基板上に、前記メモリセル選択用電界効果トランジスタのゲート電極の表面および半導体基板の表面を覆う窒化シリコン系の絶縁膜を堆積する工程、(c)前記半導体基板上に、前記窒化シリコン系の絶縁膜を覆う酸化シリコン系の絶縁膜を堆積する工程、(d)前記酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスを用いプラズマエッチング処理を施し、前記酸化シリコン系の絶縁膜を選択的にエッチングすることにより、前記酸化シリコン系の絶縁膜に、前記窒化シリコン系の絶縁膜が露出される孔を形成する際に、CF系の付着物の量に応じて第1ステップのエッチングおよび第2ステップのエッチングを順に行

う工程を有し、

前記第2ステップのエッチングガス中の酸素の流量比を、前記第1ステップのエッチングガス中の酸素の流量比よりも低くすることを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項21記載の半導体集積回路装置の製造方法において、前記第1ステップから第2ステップへの切り換えを、エッチング処理時に検出されるフッ化シリコンまたは窒化炭素の発光強度を検出することで自動的に行うことを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項21記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔の深さが前記メモリセル選択用電界効果トランジスタのゲート電極の高さよりも上方であることを特徴とする半導体集積回路装置の製造方法。

【請求項24】 請求項21記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔のアスペクト比が2~14であることを特徴とする半導体集積回路装置の製造方法。

【請求項25】 請求項21記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔のアスペクト比が4~12であることを特徴とする半導体集積回路装置の製造方法。

【請求項26】 請求項21記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔のアスペクト比が6~10であることを特徴とする半導体集積回路装置の製造方法。

【請求項27】 請求項21記載の半導体集積回路装置の製造方法において、前記第2ステップで形成される孔のアスペクト比が10よりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項28】 (a)半導体基板にメモリセル選択用電界効果トランジスタを形成する工程、(b)前記メモリセル選択用電界効果トランジスタの上層に酸化シリコン系の絶縁膜を堆積する工程、(c)前記酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスを用いプラズマエッチング処理を施し、前記酸化シリコン系の絶縁膜を選択的にエッチングすることにより、前記酸化シリコン系の絶縁膜に、情報蓄積用容量素子の孔を形成する際に、CF系の付着物の量に応じて第1ステップのエッチングおよび第2ステップのエッチングを順に行う工程を有し、前記第2ステップのエッチングガス中の酸素の流量比を、前記第1ステップのエッチングガス中の酸素の流量比よりも低くすることを特徴とする半導体集積回路装置の製造方法。

【請求項29】 請求項28記載の半導体集積回路装置の製造方法において、前記第1ステップから第2ステップへの切り換えを、エッチング処理時間によって行うこ

とを特徴とする半導体集積回路装置の製造方法。

【請求項30】 請求項28記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される孔の深さが前記酸化シリコン系の絶縁膜の厚さの半分またはそれよりも小さいことを特徴とする半導体集積回路装置の製造方法。

【請求項31】 請求項28記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される情報蓄積用容量素子用の孔のアスペクト比が2～14であることを特徴とする半導体集積回路装置の製造方法。

【請求項32】 請求項28記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される情報蓄積用容量素子用の孔のアスペクト比が4～12であることを特徴とする半導体集積回路装置の製造方法。

【請求項33】 請求項28記載の半導体集積回路装置の製造方法において、前記第1ステップで形成される情報蓄積用容量素子用の孔のアスペクト比が6～10であることを特徴とする半導体集積回路装置の製造方法。

【請求項34】 請求項28記載の半導体集積回路装置の製造方法において、前記第2ステップで形成される情報蓄積用容量素子用の孔のアスペクト比が12よりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項35】 (a) 半導体基板にメモリセル選択用電界効果トランジスタを形成する工程、(b) 前記半導体基板上に、前記メモリセル選択用電界効果トランジスタのゲート電極の表面および半導体基板の表面を覆う窒化シリコン系の絶縁膜を堆積する工程、(c) 前記半導体基板上に、前記窒化シリコン系の絶縁膜を覆う酸化シリコン系の絶縁膜を堆積する工程、(d) 前記酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスを用いプラズマエッチング処理を施し、前記酸化シリコン系の絶縁膜を選択的にエッチングすることにより、前記酸化シリコン系の絶縁膜に、前記窒化シリコン系の絶縁膜が露出される孔を形成する際に、CF系の付着物の量に応じて第1ステップのエッチングおよび第2ステップのエッチングを順に行う工程を有し、

前記第2ステップにおけるエッチング装置の下部電極に印加する高周波電力を、前記第1ステップにおけるエッチング装置の下部電極に印加する高周波電力よりも低くすることを特徴とする半導体集積回路装置の製造方法。

【請求項36】 (a) 半導体基板にメモリセル選択用電界効果トランジスタを形成する工程、(b) 前記メモリセル選択用電界効果トランジスタの上層に酸化シリコン系の絶縁膜を堆積する工程、(c) 前記酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスを用いプラズマエッチング処理を施し、前記酸化シリコン系の絶縁膜を選択的にエッチングすることにより、前記酸化シリコン系の絶縁膜に、情報蓄積用容量素子用の孔を形成する際に、CF系

の付着物の量に応じて第1ステップのエッチングおよび第2ステップのエッチングを順に行う工程を有し、前記第2ステップにおけるエッチング装置の下部電極に印加する高周波電力を、前記第1ステップにおけるエッチング装置の下部電極に印加する高周波電力よりも低くすることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、半導体集積回路装置の製造工程における孔または溝（以下、孔等ともいう）の形成方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】本発明者らが検討した孔等の形成方法は、例えば次の通りである。すなわち、層間絶縁膜上にエッチングマスクを形成した後、例えばフロロカーボン系のガスおよび酸素を有するエッチングガスを用いてエッチングマスクから露出する層間絶縁膜をエッチング除去して孔を形成するというものである。ところが、この際、孔の一部が太くなる問題（ボーイング）やエッチングマスクが削れてしまう問題（選択比の低下）が生じる。これらの問題を考慮して、エッチングガス中におけるフロロカーボン系のガスに対する酸素の量を少なくし、ポリマー層のデポジション性を高めることが有効であるが、デポジション性を高めるとエッチングが進まなくなる（エッチストップ）という新たな問題が生じる。そこで、エッチング処理の初期段階では、上記酸素の量を少な目にし、途中から、上記ボーイングが発生しないように、また、選択比の低下が生じないように、上記酸素の量を微調整しながら増やすようにしている。

【0003】

【発明が解決しようとする課題】ところが、上記孔等の形成技術においては、以下の課題があることを本発明者は見出した。すなわち、孔等のアスペクト比が高くなるにつれ、また、孔等の隣接間隔が縮小されるにつれ、孔等の形成が難しくなる、という問題である。

【0004】また、本発明者らは、本発明の結果に基づき、孔等の形成方法の観点で公知例を調査した。この種の技術については、例えば特開平10-209124号公報に記載があり、ここには、層間酸化膜に下層の窒化チタン膜の一部が露出されるようなスルーホールを穿孔する際に、第1段階で層間酸化膜と窒化チタン膜とのエッチング選択比は低い方が異方性の強い条件で層間酸化膜の総厚の80%程度をエッチング除去し、第2段階で異方性は弱い方が上記エッチング選択比の高い条件で残りの層間酸化膜をエッチング除去して孔を穿孔する技術が開示されている。

【0005】本発明の目的は、高アスペクト比の孔または溝を穿孔することのできる技術を提供することにある。

【0006】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0008】すなわち、本発明は、半導体基板上に堆積された酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスを用いプラズマエッチング処理を施すことにより、前記酸化シリコン系の絶縁膜を選択的にエッチング加工する際に、最初は、ポリマー層のデポジション性が弱い条件でエッチング処理を行い、続いてポリマー層のデポジション性が強い条件に切り換えてエッチング処理を行うものである。

【0009】また、本発明は、半導体基板上に堆積された酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスを用いプラズマエッチング処理を施すことにより、前記酸化シリコン系の絶縁膜を選択的にエッチング加工する際に、CF系の付着物の量に応じてエッチング条件を切り換えてエッチングを行うものである。

【0010】また、本発明は、半導体基板上に堆積された酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスを用いプラズマエッチング処理を施し、前記酸化シリコン系の絶縁膜を選択的にエッチングすることにより、前記酸化シリコン系の絶縁膜に孔または溝を穿孔する際に、(a)第1ステップでは、前記エッチングガス中の酸素の流量比を第1の流量比として孔または溝の途中深さまでを穿孔する工程と、(b)第2ステップでは、前記エッチングガス中の酸素の流量比を前記第1の流量比よりも低くした状態でエッチング処理を施すことにより、前記孔または溝を穿孔する工程とを順に行うものである。

【0011】また、本発明は、半導体基板上に堆積された酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスを用いプラズマエッチング処理を施し、前記酸化シリコン系の絶縁膜を選択的にエッチングすることにより、前記酸化シリコン系の絶縁膜に孔または溝を穿孔する際に、(a)第1ステップでは、前記エッチング装置の上下部電極間のバイアスパワーを第1のバイアスパワーとして孔または溝の途中深さまでを穿孔する工程と、(b)第2ステップでは、前記エッチング装置の上下部電極のバイアスパワーを前記第1のバイアスパワーよりも低くした状態でエッチング処理を施すことにより、前記孔または溝を穿孔する工程とを順に行うものである。

【0012】また、本発明は、前記エッチング処理による孔または溝の最終的なアスペクト比が1.2よりも大き

いものである。

【0013】また、本発明は、前記エッチング処理による孔または溝の最終的なアスペクト比が1.4よりも大きいものである。

【0014】また、本発明は、前記エッチング処理による孔または溝の最終的なアスペクト比が1.6よりも大きいものである。

【0015】また、本発明は、前記フロロカーボン系のガスを $C_5F_8$ とするものである。

【0016】また、本発明は、前記エッチングガスがアルゴンガスを含むものである。

【0017】

【発明の実施の形態】本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0018】1. デバイス面とは、半導体ウエハの主面であって、その面にフォトリソグラフィにより、複数のチップ領域に対応する集積回路パターンが形成される面をいう。すなわち、「裏面」に対して、その反対側の主面をいう。

【0019】2. 半導体集積回路ウエハまたは半導体ウエハとは、半導体集積回路の製造に用いるシリコン単結晶基板（一般にほぼ円形）、サファイア基板、ガラス基板その他の絶縁、反絶縁または半導体基板などならびにそれらの複合的基板をいう。また、「半導体集積回路装置」（あるいは「電子装置」、「電子回路装置」など）というときは、単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、上記した各種基板、あるいはさらにSOI (Silicon On Insulator) 基板、TFT (Thin Film Transistor) 液晶製造用基板、STN (Super Twisted Nematic) 液晶製造用基板などといった他の基板上に作られるものを含むものとする。

【0020】3. シリコンナイトライド、窒化ケイ素または窒化シリコンというときは、 $Si_3N_4$ のみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。

【0021】4. エッチングガスは、反応ガスと、希釈ガスと、その他のガスとを有している。反応ガスは、主としてエッチングと堆積との両方の反応に寄与するガスであり、さらに、主反応ガスと、添加反応ガスとに分類できる。SAC (Self Aligned Contact) プロセスやHARC (High Aspect Ratio Contact) プロセスに用いられる主反応ガスとしては、フロロカーボン系のガスがあり、添加反応ガスとしては酸素( $O_2$ )を含むガスがある。そのフロロカーボン系のガスは、飽和型と不飽和型に分類できる。

【0022】5. 電極配線とは、集積回路パターンを構成する電極または配線の総称であって、電気信号の経路を形成する構成部材である。

【0023】以下の実施の形態では、便宜上その必要が



あるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【0024】また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0025】さらに、以下の実施の形態において、その構成要素（要素ステップなどを含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことは言うまでもない。

【0026】同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【0027】また、本実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0028】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0029】（実施の形態1）図1は、本発明者らが検討した深孔のエッチング形成方法の課題を説明するための試料の要部断面図を示している。

【0030】酸化シリコン膜からなる絶縁膜100上には、マスクパターン101が形成されている。マスクパターン101は、エッチングマスクとなるパターンであり、例えばタングステン膜、フォトレジスト膜、窒化シリコン膜または多結晶シリコン膜が使用される。この絶縁膜100には、プラズマエッチング処理により、孔102が穿孔されようとしている。エッチングガスとしては、例えば $C_5F_8$ と酸素( $O_2$ )とアルゴン( $Ar$ )との混合ガスを用いた。なお、図1の黒丸は $Ar^+$ 、ハッチングを付した丸は $CF_x$ 、×印を付した丸は酸素( $O$ )を示している。

【0031】図1(a)は、 $C_5F_8$ が相対的に多い場合、すなわち、 $O_2$ が相対的に少ない場合を示している。この場合は、 $CF_x$  ( $x=0\sim 2$ )のポリマー層103が、過剰となり、マスクパターン101の表面（上面および開口側面）、孔102の内面（内側面および底面）に厚く堆積（付着）する。このため、エッチング反応よりもポリマー層103の堆積の方が優勢となり、エッチングが停止（エッチストップ）してしまう。

【0032】一方、図1(b)は、 $C_5F_8$ が相対的に少

ない場合、すなわち、 $O_2$ が相対的に多い場合を示している。この場合は、 $CF_x$  ( $x=0\sim 2$ )のポリマー層103が、マスクパターン101の表面（上面および開口側面）、孔102の内面（内側面および底面）に薄く堆積（付着）する。この場合、孔102の内側面でのポリマー層103のデポジション性が低く保護効果が低下するため、斜め成分の $Ar^+$ とフッ素( $F$ )とにより孔102の内側面のエッチングが進行する（ボーイング形状）。また、マスクパターン101上面のポリマー層103も薄く保護効果が低下するため、マスクパターン101のエッチングも進行する（マスク選択比の低下）。

【0033】次に、図2および図3は、実際に深孔をエッチング処理により形成した場合の試料の要部断面図を示している。

【0034】図2は、酸素の相対量が少ない条件、すなわち、上記ポリマー層のデポジション性が強い条件（開口性の悪い条件）でエッチング処理をした場合のエッチング初期段階における試料の要部断面図を示している。

【0035】マスクパターン101の表面（上面および開口側面）および孔102の上部側の内側面には、主として $CF_x$  ( $x=0$ )の炭素( $C$ )のポリマー層103aが付着し、孔102の下部側の内側面および底面には、主として $CF_x$  ( $x=1, 2$ )のポリマー層103bが付着している。エッチング初期段階からデポジション性を強めるとエッチングストップが生じる。

【0036】図3は、酸素の相対量が多い条件、すなわち、上記ポリマー層のデポジション性が弱い条件（開口性の良い条件）でエッチング処理をした場合のエッチング各段階における試料の要部断面図を示している。

【0037】図3(a)は、エッチングの初期段階を示している。ここでは、エッチストップさせないように $CF_x$  ( $x=0\sim 2$ )のデポジション性を抑えた条件でエッチングを開始する。マスクパターン101の表面および孔102の上部側の内側面には、主として $CF_x$  ( $x=0$ )の炭素( $C$ )のポリマー層103aが付着し、孔102の下部側の内側面および底面には、主として $CF_x$  ( $x=1, 2$ )のポリマー層103bが付着している。図3(b)は、エッチングの次段階を示している。ここでは、領域F1で孔102の内側面における保護用のポリマー層103bの付着量が減少する。また、孔102上部の領域F2でマスクパターン101の肩落ちが生じる。図3(c)は、エッチングの中期段階を示している。ポリマー層103bが主に孔102の底部に付着するため、領域F1で孔102の内側面における保護用のポリマー層103bの付着量が不足する。また、孔102上部の領域F2でマスクパターン101の肩落ちが増大しマスクとしての機能を確保できなくなる。図3(d)は、エッチングの後期段階を示している。領域F1で孔102の内側面における保護用のポリマー層103bの付着量が不足する結果、その領域F1でエッチン

グが進み、大きなボーイングが発生する。また、マスクパターン101上面の保護用のポリマー層103aも不足するためマスクパターン101の残膜が減少する（マスク選択比の低下）。さらに、領域F2でのマスクパターン101の肩落ちにより孔102の開口径が増大する。

【0038】次に、図4は、本発明者らが検討したエッチング技術であって、上記の課題を考慮した深孔のエッチング形成処理時における試料の要部断面図を示している。

【0039】図4(a)は、この技術のエッチング初期段階を示している。ここでは、エッチングガス中の $O_2$ の相対量が少ない条件でエッチングを行う。この場合、上記のようにポリマー層103a、103bの付着量が多くなるが、孔102のアスペクト比が低いので、孔102内に供給される $O_2$ の量が比較的多く、若干エッチングが進行する。図4(b)は、エッチングの次段階を示している。ここでは、 $O_2$ の量を図4(a)の段階の時よりも若干増加した条件でエッチングを行う。すなわち、図4(a)の条件でエッチストップが生じる直前に $O_2$ 流量を増やす。これにより、ポリマー層103a、103bの付着量を若干減らすことができるので、エッチストップを回避することができる。図4(c)は、エッチングの次段階を示している。ここでは、 $O_2$ の量を図4(b)の段階の時よりもさらに若干増加した条件でエッチングを行う。すなわち、エッチストップが生じないようにポリマー層103a、103bの付着量を減らし続ける。このように、この技術では、エッチストップが孔102のアスペクト比に大きく依存するので、孔1

02のアスペクト比が高くなると、エッチストップが生じないように $O_2$ 流量を制御することが難しくなり、孔を穿孔することができなくなる。また、マスクパターンの厚さおよび寸法にばらつきが生じ易くなり、孔102の形成制御が不可能となる。

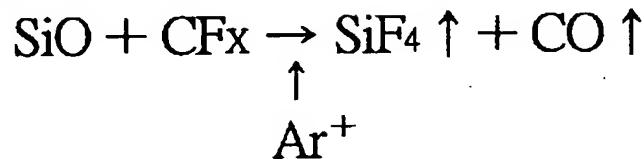
【0040】ここで、本発明者らは、酸化シリコン等からなる絶縁膜のエッチング原理を再度検討した。図5は、その原理を示す試料の要部断面図である。エッチングガスとしては、例えば $C_5F_8$ 、 $O_2$ およびArの混合ガスを用いた。

【0041】図5(a)は、 $CF_x$ 、 $Ar^+$ および酸素(O)が孔102内に入射した状態を模式的に示している。ガス解離してできた $CF_x$  ( $x=0\sim 2$ )、フッ素(F)および酸素(O)が孔102内に進入する。 $C_5F_8$ が解離して形成された $CF_x$ は、孔102内における絶縁膜100の表面(孔102の内側面および底面)およびマスクパターン101の表面(上面および開口側面)に付着し、ポリマー層103を形成する。Arは、プラズマ中でイオン化し、バイアス電圧により加速され孔102内に引き込まれる。また、 $O_2$ は、解離して酸素(O)ラジカルを形成する。

【0042】図5(b)は、 $CF_x$ および $Ar^+$ の役割を模式的に示している。絶縁膜100の表面(孔102の内側面および底面)に付着した $CF_x$ のポリマー層103と絶縁膜100の酸化シリコンとがArイオンのエネルギーで反応を起こす。これを化学式で示すと、例えば次のとおりである。

【0043】

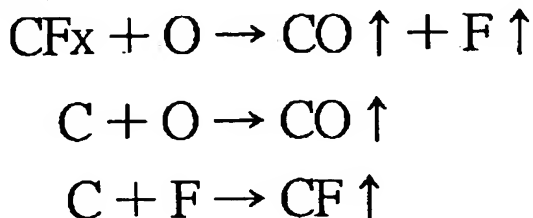
【化1】



【0044】図5(c)は、酸素(O)の役割を模式的に示している。酸素(O)およびフッ素(F)は、 $CF_x$ と反応し、 $CF_x$ のポリマー層103の量をコントロールする。ポリマー層103が薄い場合は、エッチングが進行し易くなり、厚い場合は、エッチングを阻害する。これを化学式で示すと、例えば次のとおりである。

【0045】

【化2】



【0046】次に、本発明者らは、上記検討技術の課題

およびエッチング原理の再検討結果に基づいて、深孔をエッチングにより形成する際に、例えば次のようにした。すなわち、最初のエッチングステップでは、ポリマー層( $CF_x$  ( $x=0\sim 2$ ))のデポジション性が弱い(開口性の良い)条件でエッチング処理を行い、続くエッチングステップでは、ポリマー層のデポジション性が強い(開口性の悪い)条件に切り換えてエッチング処理を行う(マルチステップエッチング)。

【0047】図6は、その具体例を示している。エッチングガスは、例えば $C_5F_8$ 、 $O_2$ 、Arの混合ガスとした。図6(a)、(b)は、第1ステップ時の試料の要部断面図、図6(c)、(d)は、第2ステップ時の試料の要部断面図を示している。この例では、第1ステップで、 $C_5F_8$ に対する $O_2$ の相対量が多い条件でエッチング処理を行い、第2ステップで、 $C_5F_8$ に対する $O_2$ の相対量が少ない条件に切り換えてエッチング処理を行



う。絶縁膜1は、例えば酸化シリコン ( $\text{SiO}_2$ ) 等からなり、その上面には、例えばタングステン膜、フォトレジスト膜、窒化シリコン膜または多結晶シリコン膜からなるマスクパターン2が形成されている。

【0048】図6(a)は、第1ステップのエッチング初期段階を示している。絶縁膜1に穿孔されつつある孔3内には、 $\text{CF}_x$  ( $x=0$ ) の炭素 (C) のポリマー層4aと、 $\text{CF}_x$  ( $x=1, 2$ ) のポリマー層4bとの両方が同時に付着している。また、マスクパターン2の表面 (上面および開口側面) には炭素のポリマー層4aが付着している。この段階では、上記ポリマー層4a、4bの過剰な付着によりエッチストップが生じないように適量の $\text{O}_2$ 流量が必要である。図6(b)は、図6

(a)に続く第1ステップのエッチング段階を示している。孔3の底には、主に $\text{CF}_x$  ( $x=1, 2$ ) のポリマー層4bのみが付着する。孔3の底のポリマー層4bが減り、エッチストップはし難い。孔3の内側面においては、保護用の $\text{CF}_x$  ( $x=1, 2$ ) のポリマー層4bが不足する領域が発生する。

【0049】図6(c)は、図6(b)に続く第2ステップのエッチング初期段階を示している。ここでは、孔3の底部の $\text{CF}_x$ のポリマー層4bの量が増加する。また、マスクパターン2の表面に付着する炭素のポリマー層が増加する。孔3が深くなると、孔3の底へ到達する $\text{CF}_x$ の量が減るため、エッチストップし難くなる。エッチストップしない程度に $\text{O}_2$ を減らし孔3の内側面の保護用の $\text{CF}_x$ のポリマー層4bの量を増やす。図6

(d)は、図6(c)に続く第2ステップのエッチング後期段階を示している。ここでは、目標とする深さの孔3を形成し終えた状態を示している。孔3の底の $\text{CF}_x$ のポリマー層4bの量をエッチストップが生じないように調整しながらエッチングすることでボーイングが少なく、かつ、マスクパターン2の残量の多い加工が可能となる。

【0050】図7は、上記本発明の技術思想の具体例と、図4で説明したエッチング技術とを比較して示したエッチング時間と酸素量との関係を示すグラフ図である。図4で説明した技術では酸素量がエッチング時間の増加とともに増加するのに対して、本発明の技術思想の具体例では、酸素量がエッチング時間の増加とともに減少している。

【0051】また、図8は、本発明者らが行った実験で得られた第1ステップのエッチング時間と第2ステップの酸素流量依存性の一例を示している。第1ステップでは、酸素の流量を、例えば $28\text{ cm}^3/\text{min}$ で切り換え無しで一定とした。第1ステップのエッチング時間を30秒とした場合、深さ300nm程度の孔が形成される。この段階で第2ステップに切り換え、酸素の流量を、例えば $24\text{ cm}^3/\text{min}$ または $26\text{ cm}^3/\text{min}$ に減らした場合は、いずれも孔を最終目標の深さまで開

口することができなかった。酸素流量を第1ステップと同じ $28\text{ cm}^3/\text{min}$ とした場合は、孔の開口はできるもののマスクパターンが無くなってしまった。

【0052】次に、第1ステップのエッチング時間を1分とした場合、深さ600nm程度の孔が形成される。この段階で第2ステップに切り換え、酸素の流量を、例えば $24\text{ cm}^3/\text{min}$ に減らした場合は、孔を最終目標の深さまで開口することができなかった。また、第2ステップの酸素流量を、例えば $26\text{ cm}^3/\text{min}$ に減らした場合は、マスク選択比を確保したまま、また、大きなボーイングを生じることなく、孔を最終目標の深さまで良好に開口できた。さらに、第2ステップの酸素流量を第1ステップと同じ $28\text{ cm}^3/\text{min}$ とした場合は、孔の開口はできるもののマスクパターンが無くなってしまった。

【0053】次に、第1ステップのエッチング時間を2分とした場合、深さ $1.2\text{ }\mu\text{m}$ 程度の孔が形成される。この段階で第2ステップに切り換え、酸素の流量を、例えば $24\text{ cm}^3/\text{min}$ または $26\text{ cm}^3/\text{min}$ に減らした場合は、いずれの場合もマスク選択比を確保したまま、また、大きなボーイングを生じることなく、孔を最終目標の深さまで良好に開口できた。さらに、第2ステップの酸素流量を第1ステップと同じ $28\text{ cm}^3/\text{min}$ とした場合は、孔の開口はできるもののマスクパターンが無くなってしまった。

【0054】ここでは、第1ステップから第2ステップの切り換えをエッチング時間で行った。その結果、図6(b)の孔3の深さ (ここでは、絶縁膜1に開口された孔3の深さと、マスクパターン2の厚さとを加算した値) D1は、例えば $1\text{ }\mu\text{m}$ 程度、すなわち、完成時の孔3の深さの半分程度、あるいは絶縁膜1の厚さの半分程度となるエッチング時間が好ましい、とされた。それよりも浅い位置でステップの切り換えを行っても良い。もちろん、それより深い位置でステップの切り換えを行うこともできる。本発明者らの検討によれば、図6(b)の段階 (ステップ切り換えの直前の段階) での孔3のアスペクト比が、例えば2~14、または、例えば4~12、あるいは、例えば6~10の時に上記第1ステップから第2ステップの切り換えを行うことが好ましい、とされた。また、本発明者らの検討によれば、図6(d)の段階 (最終段階) での孔3のアスペクト比が、例えば10以上、12以上または14以上、あるいは16以上の場合に本発明の技術思想を適用することが好ましい、とされた。

【0055】このような本発明の方法によれば、例えば次の作用が得られる。エッチングには、 $\text{C}_5\text{F}_8$ 等がプラズマによって解離してできた炭素 ( $\text{CF}_0$ )、フッ素 (F) および $\text{CF}_x$  ( $x=1, 2$ ) と、 $\text{O}_2$ と、Arとが関係する。このうち、炭素は、エッチングの初期段階で、孔3の上部側の内側面およびマスクパターン2の表

面に付着し、孔3の内側面およびマスクパターン2を保護する。 $CF_x$ は、孔3の底および下部側の内側面に付着し、被エッチング材料と反応してエッチングを進める。酸素は、炭素および $CF_x$ と反応し付着量を調整する。 $Ar$ はイオンとなり反応をアシストする。炭素は、孔3の浅いところで孔3の内側面およびマスクパターン2の表面に付着するが、深い孔3の底にはほとんど到達しない。一方、 $CF_x$ は、孔3の浅いところで付着せず、深い孔3の底まで到達する。さらに、酸素(O)は、孔3の上部で多く、孔3の底では少ない。孔3の内側面およびマスクパターン2のエッチング量を少なくするためには、酸素(O)に比べ炭素および $CF_x$ を多くすれば良いが、多すぎるとエッチストップしてしまう。そこで、エッチングの初期段階では、孔3内に、炭素および $CF_x$ の両方のデポシティブ物質が存在し、エッチストップし易いので、酸素の割合を多く(すなわち、炭素、 $CF_x$ の割合が少ない)条件にしてエッチストップを防止する。孔3がある程度深くなると、炭素は孔3の底まで到達せず、ほとんど $CF_x$ のみになり、かつ、 $CF_x$ の孔3の底への付着量も減少する。そこで、エッチストップが生じない程度に $CF_x$ による付着量を増やすことによって孔3の底のエッチングを進めることができる。この時、炭素も同時に増えるが、それは孔3の内側面とマスクパターン2とを保護することにのみ作用する。この結果、高アスペクト比の孔3を形成することができる。特に、孔3内にボーイングを形成することなく、また、マスクパターン2を大きく削ることなく、さらに、孔3の上部の径の増大を招くこともなく、高アスペクト比の孔3を形成することができる。

【0056】上記の例ではエッチングを2ステップとしたが、これに限定されるものではなく、ステップ数を増やしても良い。この場合、酸素の流量を細かく制御することになるので、高アスペクト比の孔3をさらに良好に形成することができる。

【0057】また、上記の例では、 $CF_x$  ( $x=0\sim 2$ )のポリマー層のデポジション性が弱い(開口性の良い)条件と、ポリマー層のデポジション性が強い(開口性の悪い)条件との切り換えを酸素の流量の切り換えによって行った場合について説明したが、これに限定されるものではなく種々変更可能である。

【0058】例えば第1ステップと第2ステップとで酸素の流量はそのままとして、 $C_5F_8$ のようなCF系のガスの流量を第1ステップよりも第2ステップで増やすようにしても良い。

【0059】また、エッチング装置の上下電極間のバイアスパワー(高周波電力)を第1ステップよりも第2ステップで減らすようにしても良い。

【0060】さらに、このバイアスパワーを変える技術と上記酸素流量またはCF系のガス流量を変える技術とを組み合わせても良い。

【0061】次に、本実施の形態で用いたエッチング装置を図9によって説明する。

【0062】このエッチング装置は、例えば二周波励起RIE(Reactive Ion Etching)装置(東京エレクトロン社製のUNITY-IIS-85DI)5である。駆動周波数とバイアス周波数を分けることで、プラズマの生成及び解離と半導体ウエハ(以下、単にウエハという)6に入射するイオンのエネルギーを独立に制御することが可能である。このエッチング装置5では、駆動周波数が、例えば60MHz、バイアス周波数が、例えば2MHzに最適化が行なわれている。これにより、高アスペクト酸化膜エッチングプロセスに対応して、より低圧( $\sim 1Pa$ )で高密度( $\sim 10^{11}cm^{-3}$ )なプラズマを安定生成することが可能である。さらに、大排気改造(ターボ分子ポンプ排気速度:1300(1/s)を2200(1/s)に改造)が行われている。

【0063】このエッチング装置5のエッチング処理室を形成するチャンバ5aは、例えば円筒形状に形成されたアルミニウムからなり、その表面にはアルマイト処理(陽極酸化処理)が施されている。このチャンバ5aは接地されている。このチャンバ5aの底部には、セラミック等のような絶縁板を介して略円柱状のサセプタ支持台が設けられており、さらに、その上には下部電極を構成するサセプタ5bが設けられている。上記サセプタ支持台の内部には、冷却室が設けられており、この冷却室には、例えば液体窒素等のような冷媒が導入され循環され、その冷熱がサセプタ5bを介してウエハ6に伝導されることにより、ウエハ6の主面(上記デバイス面に相当)の温度が制御され、所望の温度に設定される。

【0064】サセプタ5bは、その上面中央が凸状の円板状に形成され、その上にウエハ6と平面形状が略同形の静電チャック5cが設けられている。ウエハ6は、この静電チャック5cの絶縁板の間に介在された電極に所定の直流電圧が印加されることにより、例えばクーロン力によって静電吸着される。上記絶縁板、サセプタ支持台、サセプタ5b、さらには静電チャック5cには、例えばヘリウム(He)ガス等のような伝熱媒体をウエハ6の裏面に供給するためのガス通路が形成されており、その伝熱媒体を介してサセプタ5bの冷熱がウエハ6に伝達されウエハ6が所定の温度に維持されるようになっている。上記サセプタ5bの上面周縁部には、静電チャック5c上のウエハ6を取り囲むように、環状のフォーカスリングが配置されている。このフォーカスリングは、ウエハ6と同一材料のシリコン等からなり、ウエハ6の主面内のエッチングの均一性を向上させる機能を有している。

【0065】サセプタ5bの上方には、このサセプタ5bと平行に対向するように上部電極5dが設けられている。この上部電極5dは、絶縁材を介してチャンバ5aの上部に支持されており、電極板5d1と、これを支持

する電極支持体5 d 2とを有している。電極板5 d 1は、例えばシリコン、炭化シリコン(SiC)またはアモルファスカーボンからなり、サセプタ5 bの対向面に配置され、多数の孔5 d 3を有している。また、電極支持体5 d 2は、例えばアルミニウム(Al)からなり、その表面はアルマイト処理が施されている。このエッチング装置5では、サセプタ5 b(下部電極)と上部電極5 dとの間隔(以下、電極間隔という)を、例えば17 mm~60 mmの範囲で変更可能になっている。なお、電極板5 d 1の材料としては、上記材料の中でもスカベンジングが可能なシリコンを用いることが好ましい。

【0066】上部電極5 dにおける電極支持体5 d 2の中央には、ガス導入口が設けられ、そのガス導入口にはガス供給管が接続されており、さらにそのガス供給管にはバルブおよび上記マスフローコントローラを介して処理ガス供給源が機械的に接続されている。この処理ガス供給源からエッチングガスが供給される。このチャンバ5 aの一部には、ガス排気管5 eが設けられている。このガス排気管5 eは、例えばターボ分子ポンプ等のような真空ポンプが備えられており、これにより、チャンバ5 a内を、所定の減圧雰囲気(例えば1~13.3 Pa)まで真空可能なように構成されている。真空ポンプの排気速度は、例えば2200(L/s)であり、大排気化が可能となっている。また、チャンバ5 aの側壁にはゲートバルブが設けられている。ウエハ6は、そのゲートバルブを開いた状態で、チャンバ5 aと、それに隣接するロードロック室との間で搬送されるようになっている。

【0067】上部電極5 dには、第1の高周波電源5 fが、整合器およびハイパスフィルタHPFを介して電気的に接続されている。この第1の高周波電源5 fは、例えば50~150 MHzの範囲の周波数の設定が可能となっており、このように高い周波数の電圧を印加することによりチャンバ5 a内に好ましい解離状態で、かつ、高密度のプラズマを形成することができ、従来よりも低圧条件下でのプラズマエッチング処理が可能となっている。この第1の高周波電源5 fの周波数は、例えば50~80 MHzが好ましく、典型的には、60 MHzまたはその近傍の条件が採用される。

【0068】下部電極としてのサセプタ5 bには、第2の高周波電源5 gが、ローパスフィルタLPFおよび整合器を介して電気的に接続されている。この第2の高周波電源5 gは、例えば1~4 MHzの範囲の周波数の設定が可能となっており、このような範囲の周波数の電圧を印加することによりウエハ6に対してダメージを与えることなく適切なイオン作用を与えることができる。この第2の高周波電源5 gの周波数は、例えば1~3 MHzが好ましく、典型的には、2 MHzまたはその近傍の条件が採用される。

【0069】このエッチング装置5において、本明細書で開示される処理圧力は、上記したように、例えばバラトン真空計によって測定されている。このバラトン真空計は、チャンバ5 a内の側壁に設けられ、上下電極から若干離れている。このため、上記処理圧力は、互いに対向する上部電極5 dと、サセプタ5 b(下部電極)との間の圧力と厳密には異なる。

【0070】エッチング装置5の構成は、上記したものに限定されるものではなく種々変更可能であり、他の平行平板型のエッチング装置を用いる場合においても本発明を適用することが可能である。

【0071】次に、本発明の技術思想をDRAMを有する半導体集積回路装置の製造方法に適用した場合の一例を説明する。図10は、DRAMの製造工程中におけるウエハ6(半導体基板6 S)の全体平面図を示している。ウエハ6は、例えば平面略円形状に形成されており、その外周の一部には、位置合わせ等に用いられる切り欠き6 aが設けられている。ウエハ6の直径は、例えば200 mm程度である。ただし、ウエハ6の直径は、これに限定されるものではなく種々変更可能であり、例えば直径300 mmの大口径ウエハを用いることもできる。なお、図10においては、ウエハ6に仮想的にX軸とこれに垂直なY軸を当てはめている。X軸は、図10の左右横方向に延びる軸、Y軸は、図10の上下縦方向に延びる軸で上記切り欠き6 a上を通過するように配置されている。これ以降で用いる断面図において、X、Xと付してあるのは、この図10のX軸方向に沿う要部断面図を示し、Y、Yと付してあるのは図10のY軸方向に沿う要部断面図を示している。

【0072】図11および図12は、それぞれ本実施の形態のDRAMの製造工程中におけるウエハ6のメモリセル領域における上記X、XおよびY、Yの要部断面図を示している。まず、例えばp型で比抵抗が10 Ω cm程度の単結晶シリコンからなる半導体基板6 S(この段階では平面が略円形状のウエハ6)の主面に分離部7を形成した後、半導体基板6 SにpウエルPWを形成する。分離部7は、素子分離領域における半導体基板6 Sのデバイス面をドライエッチングして所定の深さの溝を形成した後、その溝の内部を含む半導体基板6 Sのデバイス面上に酸化シリコン膜等からなる絶縁膜をCVD(Chemical Vapor Deposition)法で堆積し、続いて、その絶縁膜を化学機械研磨(Cheical Mechanical Polishing; CMP)法等で研磨して溝の内部に残すことにより形成する(トレンチアイソレーション)。また、pウエルPWは、半導体基板6 Sに、例えばホウ素(B)等のような不純物をイオン打ち込みし、続いて半導体基板6 Sをアニール(熱処理)してその不純物を拡散させることにより形成する。

【0073】続いて、pウエルPWの表面をフッ酸(HF)系の洗浄液を使って洗浄した後、半導体基板6 Sを

ウェット酸化してpウェルPWの表面に清浄なゲート絶縁膜8を形成する。このゲート絶縁膜8は、例えば酸化シリコンからなり、その厚さは、二酸化シリコン換算膜厚で、例えば6nm程度である。

【0074】このゲート絶縁膜8を、酸化シリコン膜に代えて酸化シリコン膜で構成しても良い。これにより、ゲート絶縁膜8のホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。酸化シリコン膜を形成するには、例えば半導体基板6SをNO、NO<sub>2</sub>またはNH<sub>3</sub>といった含窒素ガス雰囲気中で熱処理すれば良い。また、酸化シリコンからなるゲート絶縁膜8を形成した後、半導体基板6Sを上記した含窒素ガス雰囲気中で熱処理し、ゲート絶縁膜8と半導体基板6Sとの界面に窒素を偏析させても、上記と同様の効果を得ることができる。

【0075】また、ゲート絶縁膜8を、例えば窒化シリコン膜あるいは酸化シリコン膜と窒化シリコン膜との複合絶縁膜で形成しても良い。酸化シリコンからなるゲート絶縁膜8が二酸化シリコン換算膜厚で5nm未満、特に3nm未満まで薄くなると、直接トンネル電流の発生やストレス起因のホットキャリア等による絶縁耐圧の低下が顕在化する。窒化シリコン膜は、酸化シリコン膜よりも誘電率が高いためにその実際の膜厚を二酸化シリコン換算膜厚よりも厚くできる。すなわち、窒化シリコン膜を有する場合には、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容量を得ることができる。従って、ゲート絶縁膜8を単一の窒化シリコン膜あるいはそれと酸化シリコンとの複合膜で構成することにより、その実効膜厚を、酸化シリコン膜で構成されたゲート絶縁膜よりも厚くすることができるので、トンネル漏れ電流の発生やホットキャリアによる絶縁耐圧の低下を改善することができる。

【0076】その後、ゲート絶縁膜8上にゲート電極9（ワード線WL）を形成し、続いてゲート電極9の両側のpウェルPWに低不純物濃度のn型半導体領域10a、10bを形成する。このゲート電極9（ワード線WL）は、例えばリンなどの不純物をドーブした多結晶シリコン膜を半導体基板6S上にCVD法で堆積し、次いでその上部に窒化タングステン（WN）膜とタングステン（W）膜とをスパッタリング法で堆積し、さらにその上部に窒化シリコン膜等からなるキャップ膜11をCVD法で堆積した後、フォトリソグラフ膜をマスクにしてこれらの膜をドライエッチングすることにより形成する。このゲート電極9を構成する多結晶シリコン膜の厚さは、例えば50～100nm程度であり、窒化タングステン膜の厚さは、例えば数nm程度、タングステン膜の厚さは、例えば50～100nm程度である。また、キャップ膜11は、厚さ120nm程度の窒化シリコン膜を堆積してなる。また、n型半導体領域10a、10bは、pウェルPWに、例えばヒ素（As）等のような不

純物をイオン打ち込みして形成する。

【0077】次いで、半導体基板6S上に窒化シリコン膜等からなる絶縁膜12を低圧CVD法等により厚さ40～60nm程度堆積する。この段階で絶縁膜12は、互いに隣接するワード線WL間を埋め込まないような状態で、半導体基板6Sのデバイス面、ゲート電極9の側面およびキャップ膜11の表面（上面および側面）を被覆するように形成されている。

【0078】続いて、半導体基板6Sのデバイス面上に、例えば酸化シリコン膜からなる絶縁膜1aをCVD法等によって堆積した後、その上面をCMP法等で平坦化することにより、絶縁膜1aを形成する。絶縁膜1aの厚さを示す寸法D2は、例えば600nm程度である。続いて、絶縁膜1a上に、例えば厚さ50～200nm程度の反射防止膜15aを回転塗布法等によって堆積した後、その上に、例えば厚さ400～800nm程度のフォトリソグラフ膜を回転塗布法等によって堆積し、これをパターニングすることでフォトリソグラフパターン（以下、単にレジストパターンという）2aを形成する。レジストパターン2aは、コンタクトホール形成用のマスクパターンであり、通常の露光処理によってパターニングされている。レジストパターン2aの開孔部は平面略円形状に形成されており、その開孔部からコンタクトホール形成領域が露出され、それ以外が覆われている。レジストパターン2aの開孔部の寸法D3およびその開孔部の隣接間隔の寸法D4は、例えば160nm程度である。

【0079】その後、図13および図14に示すように、上記したレジストパターン2aをマスクとして反射防止膜15aをエッチング除去する。エッチング装置は、例えば上記図9の二周波励起平行平板型RIE装置と同等の形状ではあるが印加周波数の異なるエッチング装置を用いた。

【0080】次いで、上記本発明のエッチング技術を用いて絶縁膜1aにコンタクトホールを穿孔する（SACプロセス）。

【0081】まず、ウエハ6を上記図9に示したエッチング装置5（二周波励起平行平板型RIE装置）内にセットする。続いて、上記第1ステップのエッチング処理をウエハ6に対して施すことにより、図15および図16に示すように、上記レジストパターン2aおよび反射防止膜15aをエッチングマスクとして、そこから露出する絶縁膜1aをエッチング除去する。エッチング条件は、例えば次の通りである。エッチング処理室内の圧力は、例えば2.66Pa程度、エッチングガスおよびそのガス流量は、例えばC<sub>5</sub>F<sub>8</sub>:O<sub>2</sub>:Ar=16:18:800cm<sup>3</sup>/min程度、高周波電力は上部電極5d（図9参照）が、例えば800W程度、サセプタ5b（図9参照）が、例えば700W程度、電極間隔は、例えば21mm程度とした。また、プラズマ密度は、例

例えば $10^{11}/\text{cm}^3$ 程度である。

【0082】この段階では、例えばコンタクトホール3aの底部（深さ）が、ワード線WL上のキャップ膜11のほぼ上面高さに達する程度まで第1ステップのエッチング処理を行った。したがって、この段階のコンタクトホール3aの底部側には絶縁膜1aが残されている。この第1ステップのエッチング処理でコンタクトホール3aの底部が上記深さに達したことは、図17(a)に示すように、エッチング処理室内のプラズマからの発光のうち、フッ化シリコン（SiF、波長440nm）を観測し、その波形の落ち込みによって自動的に検出した。また、コンタクトホール3aが上記深さに達すると窒化シリコンからなる絶縁膜12の一部が露出されるので、図17(b)に示すように、プラズマ中のCN（波長388nm）を観測し、その波形の上昇によって自動的に検出することもできる。

【0083】続いて、コンタクトホール3aが上記深さに達したことを自動的に検出した後、プラズマ放電を切らずに連続で上記第2ステップのエッチング処理に移行する。すなわち、上記第1ステップのエッチング条件のうち、 $\text{O}_2$ の流量を $15\text{cm}^3/\text{min}$ 程度に切り換え（低減し）、残りの絶縁膜1aを図18および図19に示すようにエッチング除去した。この際のエッチング時間は、プラズマからの発光のうち、図20(a)に示すように、SiFを観測し、波形の落ち込みを絶縁膜1aのエッチングが終了したジャスト時間として検出し、それにオーバーエッチングを10秒程度施すことで得た。また、このエッチング時間は、絶縁膜1aが無くなると下層の窒化シリコン膜からなる絶縁膜12が露出されるので、図20(b)に示すように、プラズマ中のCN（波長388nm）を観測し、その波形の上昇を絶縁膜1aのエッチングが終了したジャスト時間として検出し、それにオーバーエッチングを10秒程度施すことで得ることもできる。

【0084】このような第2ステップのエッチング処理中において、ウエハ6は、その裏面のサセプタ5b（図9参照）のガス通路より供給されるヘリウム（He）ガスの圧力および流量、また、静電電圧の設定により、例えば $\sim 120^\circ\text{C}$ に維持された。このウエハ6の温度は、エッチング処理中のウエハ6のデバイス面の温度であり、熱は主としてプラズマから供給される。この温度は、ウエハ6のデバイス面上の中央、外周およびそれらの間の3点に温度測定用のテンププレート貼り付け、3点の測定温度を平均することで得られたものである。

【0085】この第2ステップのエッチング後においては、コンタクトホール3aが完全に形成されておらず、コンタクトホール3aの底部に絶縁膜12がエッチングストップとして残されている。また、この段階のコンタクトホール3a内における絶縁膜1aの表面（コンタクトホール3aの内面（底面および内側面））には、CF

x（ $x=0\sim 2$ ）の薄いポリマー層4が被着されている。

【0086】この段階のコンタクトホール3aの下部の直径は、例えば60nm程度である。したがって、この段階のコンタクトホール3aのアスペクト比は、上記絶縁膜1aの厚さの寸法D2（図11参照）が600nmなので、深さ600/幅60=10程度である。本発明者らの検討によれば、このアスペクト比が10より大きい場合、または、12より大きい場合、さらに14より大きい場合に本発明を適用することが好ましい、とされた。また、ここでは、第2ステップの酸素流量を減らす場合について説明したが、上記のように第2ステップ時にエッチング装置5のサセプタ5b（図9参照）に印加するバイアスパワー（高周波電力）を、第1ステップ時にサセプタ5bに印加したバイアスパワーよりも低くしても良い、このバイアスパワーを変える技術と上記酸素流量またはCF系のガス流量を変える技術とを組み合わせても良い。

【0087】エッチング終了後、窒化シリコン膜に対する酸化シリコン膜の選択比を算出した。ここで選択比は、図21に例示するようにエッチングされた場合に、（酸化シリコン膜（絶縁膜1a）のエッチングレート）/（ゲート電極9上の肩部の窒化シリコン膜（絶縁膜12）のエッチングレート）である。ゲート電極9上の肩部の窒化シリコン膜のエッチングレートは、図21に示す垂直方向の削れが最大の部分の削れ寸法D5を基にして算出した。その結果、マスク選択比を比較例よりも大幅に向上させることができた。なお、図21は、図18の要部拡大断面図である。図21においては、図面を見易くするために、図18に示したn型半導体領域10a、10b、ポリマー層4、反射防止膜15aおよびレジストパターン2a等を図示していない。

【0088】このように、本実施の形態によれば、高アスペクト比のコンタクトホール3aをボーイングを生じることなく良好な垂直形状で形成することが可能となる。また、高アスペクト比のコンタクトホール3aを、マスク選択比を十分に確保した状態で良好に開口することが可能となる。また、高アスペクト比のコンタクトホール3aを、その上部径の増大を招くこともなく、開口することが可能となる。したがって、DRAMの歩留まりおよび信頼性を向上させることが可能となる。また、微細化を推進できるので、DRAMの性能および集積度の向上を推進させることが可能となる。

【0089】続いて、上記エッチング処理後、真空状態を破らずに連続して、上記ポリマー層4を除去する。これにより、図22および図23に示すように、コンタクトホール3aの内面（側面および底面）から絶縁膜1a、12の表面を露出させる。この際の処理条件は、ポリマー層4のみが除去され、レジストパターン2aが除去されない条件としている。この際のエッチング装置



も、上記図9のエッチング装置5を用いた。

【0090】その後、真空状態を破らずに連続して、レジストパターン2aをエッチングマスクとして、コンタクトホール3aの底部の絶縁膜12をエッチング除去する。これにより、図24および図25に示すように、コンタクトホール3aの底面から半導体基板6Sのデバイス面の一部(n型半導体領域10a, 10b)を露出させ、コンタクトホール3aを完成する。この際のエッチング装置も、上記図9のエッチング装置1を用いた。

【0091】本実施の形態によれば、ゲート電極9とコンタクトホール3aとのショートマージンも向上させることができる。上記ショートマージンは、図26に例示されるゲート電極9と、コンタクトホール3aとの距離が最小の部分の寸法D6を測定した。本実施の形態では、ショートマージンを30~40nm程度得ることができる。もちろん、コンタクトホール3aの開口不良も生じない。したがって、高集積で高性能なDRAMの歩留まりおよび信頼性を向上させることが可能となる。なお、図26は、図24の要部拡大断面図である。図26においては、図面を見易くするために、反射防止膜15aおよびレジストパターン2a等を図示していない。

【0092】次いで、レジストパターン2aおよび反射防止膜15aをアッシング処理によって除去した後、ウエハ6のデバイス面上に、例えばn型のドーフトポリシリコン膜をCVD法等によって堆積し、さらに、そのドーフトポリシリコン膜をCMP法等によって研磨することにより、図27および図28に示すように、コンタクトホール3a内にドーフトポリシリコンで形成されるプラグ16a, 16bを形成する。

【0093】続いて、ウエハ6に対して熱処理を施すことにより、プラグ16a, 16b中の不純物(例えばリンまたはヒ素)を半導体基板6Sに拡散させる。これにより、半導体基板6Sにn<sup>+</sup>型半導体領域10cをソース・ドレイン用のn型半導体領域10a, 10bに重なるように自己整合的に形成する。ここまでの工程によりウエハ6の各チップのメモリ領域に複数のメモリセル選択MISQsを完成する。

【0094】続いて、図29および図30に示すように、絶縁膜1aおよびプラグ16a, 16b上に、例えばTEOSガスをを用いたプラズマCVD法等によって酸化シリコン膜からなる絶縁膜17を堆積する。その後、その絶縁膜17に、プラグ16aの一部が露出するようなスルーホールを穿孔した後、そのスルーホール内および絶縁膜17上に、例えばタングステン等のような金属膜をスパッタリング法またはCVD法あるいはその両方を用いて堆積し、さらに、その金属膜をスルーホール内のみに残されるようにCMP法等によって研磨する。これにより、スルーホール内にプラグを形成する。このプラグは、上記プラグ16aと電気的に接続されている。

【0095】次いで、その絶縁膜17上に、例えば厚さ

50nm程度の窒化シリコンからなる絶縁膜18をCVD法等によって堆積した後に、その上に、例えばTEOSガスをを用いたプラズマCVD法等によって酸化シリコンからなる絶縁膜19を堆積する。続いて、その絶縁膜18, 19にビット線形成用の溝を形成した後、その溝内および絶縁膜19上に、例えばタングステン等のような金属膜をスパッタリング法等によって堆積し、さらに、その金属膜を上記溝内のみに残されるようにCMP法等によって研磨する。これにより、ビット線形成用の溝内にタングステン等からなる埋め込みビット線BLを形成する。このビット線BLは、上記絶縁膜17に穿孔されたスルーホール内のプラグを介してプラグ16aと電気的に接続され、メモリセル選択MISQsの一方のn型半導体領域10a、n<sup>+</sup>型半導体領域10cと電気的に接続されている。その後、絶縁膜19および埋め込みビット線BL上に、例えば窒化シリコンからなる絶縁膜20をプラズマCVD法等によって100nm程度の厚さで堆積する。

【0096】次いで、絶縁膜17~20にプラグ16bの上面が露出するようなスルーホール21をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。スルーホール21は、例えば平面略楕円形状に形成されている。続いて、スルーホール21内および絶縁膜20上に、例えばドーフトポリシリコン膜をCVD法等によって堆積した後、これをスルーホール21内のみに残されるようにCMP法等によって研磨する。これにより、スルーホール21内にドーフトポリシリコン膜からなるプラグ22aを形成する。プラグ22aは、プラグ16bと電気的に接続されている。

【0097】続いて、絶縁膜20上に、例えばTEOSガスをを用いたプラズマCVD法等によって酸化シリコン膜からなる絶縁膜1bを、例えば2.0~3.0μm、ここでは2.3μm程度の厚さで堆積する。その後、絶縁膜1b上に、例えばドーフトポリシリコン膜等からなるマスク形成膜MAをCVD法等によって厚さ200~400nm、ここでは330nm程度堆積する。マスク形成膜MAをドーフトポリシリコンとすることにより、汚染を低減でき、また、加工を容易にすることができる。マスク形成膜MAとして、例えばタングステン等のような金属膜を用いることもできる。この場合、固く削れ難い、また、他の材料との選択比を取り易いことから絶縁膜(酸化膜)の加工精度を向上させることができる。

【0098】次いで、マスク形成膜MA上に、例えば厚さ50~200nm、ここでは80nm程度の反射防止膜15bおよび厚さ400nm程度のフォトレジスト膜PRを下層から順に回転塗布法等によって堆積する。フォトレジスト膜PRは、キャパシタ孔形成領域が露出され、それ以外が覆われるように、上記堆積処理後に通常の露光処理によってパターンニングされている。図31

は、この段階のウエハ6の要部平面図を示している。図31では、図面を見易くするため、フォトリソ膜PRに相対的に濃い網掛けのハッチングを付し、反射防止膜15bに相対的に薄い網掛けのハッチングを付した。図31において、キャパシタ孔形成用の開口部における長手方向の寸法D11は、例えば250nm程度、その幅方向の寸法D12は、例えば130nm程度、キャパシタ孔形成用の開口部の長手方向の隣接寸法D13は、例えば170nm程度、キャパシタ孔形成用の開口部の幅方向の隣接寸法（分離幅）D14は、例えば130nm程度である。本発明者らの検討によれば、上記分離幅が、例えば150nm程度、または140nm程度、特に130nm程度あるいはそれ以下の製品に上記本発明のエッチング方法を採用することが好ましい。これは、その隣接間隔が狭くなると隣接キャパシタ孔同士がボーイングにより短絡するからであり、ボーイングを低減または無くせる本発明を適用すれば、それを防止できるからである。キャパシタ孔を穿孔した後のエッチングや洗浄処理により孔内の側面が若干エッチングされるので、分離幅が狭い場合（例えば130nm）は特に本発明のエッチング方法が効果的である。

【0099】続いて、図32および図33に示すように、上記したフォトリソ膜PRをマスクとして反射防止膜15bをエッチング除去する。この際のエッチング条件は、例えば次の通りである。すなわち、エッチング装置および条件は、例えば上記反射防止膜15aの場合と同じである。

【0100】その後、フォトリソ膜PRをエッチングマスクとして、そこから露出するドーフトポリシリコン膜をエッチング除去することにより、図34および図35に示すように、ハードマスクパターン2bをパターン形成する。

【0101】その後、フォトリソ膜PRを図36および図37に示すようにアッシング処理等によって除去する。図38は、この段階のウエハ6の要部平面図である。図38においては、図面を見易くするためハードマスクパターン2bに網掛けのハッチングを付した。ハードマスクパターン2bには、平面角丸四角形状の複数の開口部が規則的に並んで形成されている。その開口部からは絶縁膜1bが露出されている。この開口部から露出する部分にキャパシタ孔が形成される。

【0102】次いで、上記本発明のエッチング技術を用いて、図39および図40に示すように、ハードマスクパターン2bをエッチングマスクとして、そこから露出する絶縁膜1b部分をエッチング除去することにより、キャパシタ孔3bを形成する（HARCプロセス）。

【0103】このHARCプロセスの際のエッチング条件は、例えば次の通りである。まず、キャパシタ孔3bの途中深さまでは、上記第1ステップのエッチング処理を行う。その際のエッチングガスおよびそのガス流量

は、例えば $C_5F_8 : O_2 : Ar = 24 : 28 : 700$   $cm^3/min$ 程度、バイアスパワー（高周波電力）は上部電極5d（図9参照）が、例えば1800W程度、サセプタ5b（図9参照）が、例えば1500W程度、処理時間は、例えば2分程度である。また、プラズマ密度は、例えば $5 \times 10^{11}/cm^3$ 程度である。ステップの切り換えは、処理時間で行った。この段階では、例えばコンタクトホール3bの深さが、完全に掘れた場合の半分程度まで、すなわち、例えば1μm程度となるまでエッチング処理を行った。したがって、この段階のコンタクトホール3bの底部に絶縁膜1bが残されている。

【0104】続いて、上記エッチング処理時間後に、プラズマ放電を切らずに連続で上記第2ステップのエッチング処理に移行する。すなわち、上記第1ステップのエッチング条件のうち、 $O_2$ の流量のみを24  $cm^3/min$ 程度に切り換え（低減し）、残りの絶縁膜1bをエッチング除去した。これにより、キャパシタ孔3bを完成させた。

【0105】第2ステップのエッチング条件は、上記に代えて次のようにしても良い。すなわち、上記第1ステップのエッチング条件のうち、 $C_5F_8$ の流量のみを28  $cm^3/min$ 程度に切り換えて（増加し）、 $O_2$ の量を相対的に低減するようにしても良い。

【0106】また、他の手段として、上記第1ステップのエッチング条件のうち、サセプタ5b（図9参照）へのバイアスパワー（高周波電力）のみを、例えば1200W程度に切り換え（低減し）ても良い。

【0107】また、他の手段として、上記第1ステップのエッチング条件のうち、上部電極5d（図9参照）へのバイアスパワー（高周波電力）のみを、例えば2000W程度に切り換え（増加し）ても良い。

【0108】さらに、他の手段として、エッチング装置5の上下電極のバイアスパワー（高周波電力）を変える手段と、上記エッチングガスの酸素またはCF系ガスの流量を変える手段とを適宜組み合わせても良い。

【0109】第2ステップのエッチング時間は、プラズマからの発光のうち、窒化炭素（CN）を観測し、下地の窒化シリコン等からなる絶縁膜20が露出した際の波形の立ち上がり酸化シリコン膜（絶縁膜3e）のエッチングが終了したジャスト時間としてオーバー・エッチング処理を30%実施した。

【0110】このような第1、第2ステップのエッチング処理後におけるハードマスクパターン2bは、その上部がエッチング処理前に比べて削られている。そして、ハードマスクパターン2bは、その厚さがキャパシタ孔3bに近づくにつれて薄くなるように削られている。図41は、この処理後のウエハ6の要部平面図を示している。図41においては、図面を見易くするため、ハードマスクパターン2bおよびプラグ22aに網掛けのハッチングを付した。キャパシタ孔3bの底面からは、プラ



グ22a上部および絶縁膜20が露出されている。

【0111】このような第2ステップのエッチングの終了後、ポリシリコン膜（ハードマスクパターン2b）に対する酸化シリコン膜（絶縁膜1b）の選択比を算出した。ここで選択比は、図42に例示するようにエッチングされた場合に、（酸化シリコン膜（絶縁膜1b）のエッチングレート）／（ポリシリコン膜（ハードマスクパターン2b）のエッチングレート）で算出できる。ポリシリコン膜（ハードマスクパターン2b）のエッチングレートは、図42に示す部分の寸法D15を基にして算出した。その結果、選択比を向上させることができた。例えば上記第1ステップの条件のみでキャパシタ孔3bを完全に穿孔した場合、上記ポリシリコン膜（ハードマスクパターン2b）の残膜厚は、例えば所定領域中の各位置の平均で39.53nm程度である。また、上記ポリシリコン膜（ハードマスクパターン2b）が消失してしまう領域もある。これに対して、本実施の形態のステップエッチング処理（エッチングガス流量を変える手段）の場合は、上記ポリシリコン膜（ハードマスクパターン2b）の残膜厚が、例えば所定領域中の各位置の平均で93.02nm程度である。また、本実施の形態のステップエッチング処理（エッチング装置5の上下電極へ印加するバイアスパワー（高周波電力）を変える手段）の場合は、上記ポリシリコン膜（ハードマスクパターン2b）の残膜厚が、例えば所定領域中の各位置の平均で76.74nm程度である。いずれの場合も上記ポリシリコン膜（ハードマスクパターン2b）の残膜の厚さを大幅に向上させることができる。また、いずれの場合も、上記ポリシリコン膜（ハードマスクパターン2b）が所定の領域で消失してしまうこともない。

【0112】また、ボーイング等により隣接するキャパシタ孔3b間の絶縁膜1bの厚さが最小となる箇所（最小寸法）を測定した結果、上記第1ステップの条件のみでキャパシタ孔3bを完全に穿孔した場合、上記最小寸法は、例えば所定領域中の各位置の平均で56.98nm程度である。これに対して、本実施の形態のステップエッチング処理（エッチングガス流量を変える手段）の場合は、上記最小寸法が、例えば所定領域中の各位置の平均で80.23nm程度である。また、本実施の形態のステップエッチング処理（エッチング装置5の上下電極へ印加するバイアスパワー（高周波電力）を変える手段）の場合は、上記最小寸法が、例えば所定領域中の各位置の平均で79.07nm程度である。いずれの場合も最小寸法を大幅に向上させることが可能となる。

【0113】また、キャパシタ孔3bの孔底寸法（直径）DAは、上記第1ステップの条件のみでキャパシタ孔3bを穿孔した場合、例えば所定領域中の各位置の平均で73.67nm程度である。これに対して、本実施の形態のステップエッチング処理（エッチングガス流量を変える手段）の場合は、上記孔底寸法DAが、例えば

所定領域中の各位置の平均で72nm程度である。また、本実施の形態のステップエッチング処理（エッチング装置5の上下電極へ印加するバイアスパワー（高周波電力）を変える手段）の場合は、上記孔底寸法DAが、例えば所定領域中の各位置の平均で64.67nm程度である。したがって、上記第1ステップのみでキャパシタ孔3bを開口した場合とほぼ同等の開口性が得られている。

【0114】このように、本実施の形態によれば、高アスペクト比のコンタクトホール3bを、ボーイングを生じることなく、またはボーイングが生じても許容の範囲の良好な垂直形状で形成することが可能となる。また、高アスペクト比のコンタクトホール3bを、マスク選択比を十分に確保した状態で良好に開口することが可能となる。また、高アスペクト比のコンタクトホール3bを、その上部径の増大を招くこともなく、開口することが可能となる。したがって、DRAMの歩留まりおよび信頼性を向上させることが可能となる。また、微細化を推進できるので、DRAMの性能および集積度の向上を推進させることが可能となる。

【0115】図43および図44は、キャパシタ孔3b内に、情報蓄積用容量素子24を形成した際の断面図を示している。情報蓄積用容量素子24は、下部電極24aと、その表面に形成された容量絶縁膜24bと、プレート電極24cとを有している。下部電極24aは、例えばドーフトポリシリコン膜からなり、プラグ22a、16bを通じてメモリセル選択MISQsの一方のn型半導体領域10b、n<sup>+</sup>型半導体領域10cと電気的に接続されている。容量絶縁膜24bは、例えば窒化シリコン膜、窒化シリコン膜と酸化シリコン膜との積層膜あるいは酸化タンタル（TaO<sub>5</sub>）等からなる。プレート電極24cは、チタンナイトライド等のような金属膜からなる。

【0116】ところで、以上の本実施の形態におけるSACおよびHARCプロセスの各種エッチング条件は、本発明者らが行ったものの中で最も良好な条件の組合せの一例である。上記各種条件は、一方の値を変えると他方の値も変わるといように互いに密接な関係にあるものであり、上記のものに限定されるものではなく種々変更可能である。

【0117】そこで、上記SACおよびHARCプロセスの各種エッチング条件について、本発明者らの検討結果について説明する。

【0118】まず、プラズマ密度について説明する。プラズマ密度が低すぎる場合、エッチングガスの解離によるエッチャント（C<sub>x</sub>F<sub>y</sub>）の生成量が不足し、また、エッチャントと被エッチング膜（酸化シリコン膜（SiO<sub>2</sub>））の反応に要するエネルギーを供給するイオンの供給量が不足する。その結果、被エッチング膜（酸化シリコン膜）のエッチングレートが低くなり、エッチングが

ストップすることもある。一方、プラズマ密度が高すぎる場合、エッチングガスが過剰解離してしまい、被エッチング膜（酸化シリコン膜）上の堆積膜が厚くなりすぎるため、エッチングが進行しなくなる。

【0119】エッチングガスが解離してエッチャントとなるためには、 $C_xF_y$ のように炭素（C）とフッ素（F）とが結合した分子であることが必要である。解離が進行しすぎると、炭素、フッ素単体になってしまい、単体では、酸化シリコン膜のエッチングは進行しない。例： $SiO_2 + 2CF_2 \rightarrow SiF_4 + 2CO$ 以上のことを考慮すると、プラズマ密度は、例えば $10^{10} \sim 10^{13}/cm^3$ 程度、また、好ましくは、例えば $10^{10} \sim 10^{12}/cm^3$ 程度、あるいは、 $5 \times 10^{10} \sim 5 \times 10^{11}/cm^3$ 程度とすることが望ましい。

【0120】次に、エッチング装置の上下電極間隔について説明する。この電極間隔は、上記プラズマ密度を制御する機能を有している。例えば電極間隔が40mm以上となると、プラズマ密度およびプラズマの均一性が低下する。そこで、上記したプラズマ密度を考慮すると、上記電極間隔は、例えば17～30mm程度がプラズマ密度および均一性の面から好ましい。

【0121】次に、エッチングガス中のフロロカーボン系のガスについて説明する。このフロロカーボン系のガスは、飽和型と不飽和型に分類できる。飽和型は、炭素（C）原子が全て単結合のものであり、エッチングガスとして、例えば $CF_4$ 、 $CHF_3$ 、 $CH_2F_2$ 、 $CH_3F$ 、 $C_2F_6$ 、 $C_3F_8$ 、 $C_4F_8$ を用いることができる。また、不飽和型は、炭素（C）原子が二重もしくは三重結合を有するものであり、エッチングガスとして、例えば $C_5F_8$ または $C_4F_6$ を用いることができる。

【0122】上記本実施の形態において、主反応ガスとして $C_5F_8$ を採用したのは、例えば次の理由からである。まず、炭素の数が多いほど、堆積物（ $C_xF_y$ ）のデポ性を良好にでき、窒化シリコン選択比を向上させることができるからである。また、その窒化シリコン選択比と孔の垂直形状（孔の側壁の保護性を堆積膜（ $C_xF_y$ ）により向上できる）とを向上させることができ、エッチング反応と堆積反応とのバランスが良い。また、フォトリソ膜上に堆積膜（ $C_xF_y$ ）が被着することでフォトリソ膜の保護性を向上させることができるので、孔の加工形状および加工寸法を向上させることができるからである。さらに、 $C_5F_8$ ガスは地球温暖化ポテンシャル（GWP）（90～100）、大気中での寿命（1年）が、 $CF_4$ （GWP:6500、寿命:50000年）、 $C_4F_8$ （GWP:870、寿命:3200年）等と比べて極めて低い。しかも、可燃性、爆発性、毒性の面でも特に問題とはならない。ただし、 $C_5F_8$ 単独で用いずに、上記した $CF_4$ 、 $CHF_3$ 、 $CH_2F_2$ 、 $C_4F_8$ を添加しても良い。すなわち、フッ素（F）を有するガスを添加することで、上記した堆積物（ $C_xF_y$ ）を除去し、デポ性を抑えることが可能となる。

【0123】また、エッチングガス中の希釈ガスは、プラズマ中で電離してイオンとなりエッチャントと被エッチング膜の反応を促進させることに加えて、エッチングガス中の反応ガス濃度を希釈して過剰なエッチングおよび堆積反応が生じないようにする機能を有している。希釈ガスとしてアルゴンガスを使用したのは、不活性ガスであるため化学反応によって他のガスとの反応生成物を生じないためである。また、アルゴンガスにヘリウムガス等を添加することで反応を制御することも可能である。また、アルゴンガスに代えてヘリウムガス等の不活性ガスを用いることもできる。

【0124】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0125】例えば前記実施の形態では孔を形成する場合に本発明を適用した場合について説明したが、これに限定されるものではなく、例えば配線形成用の溝を形成する場合に本発明を適用することも可能である。

【0126】また、以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMに適用した場合について説明したが、それに限定されるものではなく、例えばSRAM（Static Random Access Memory）またはフラッシュメモリ（EEPROM; Electric Erasable Programmable Read Only Memory）等のようなメモリ回路を有する半導体集積回路装置の製造方法、CMIS（Complementary MIS：相補型電界効果トランジスタ）回路を有する半導体集積回路装置の製造方法またはマイクロプロセッサ等のような論理回路を有する半導体集積回路装置の製造方法、あるいはメモリ回路と論理回路とを同一半導体基板に設けている混載型の半導体集積回路装置の製造方法にも適用できる。

#### 【0127】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0128】本発明によれば、半導体基板上に堆積された酸化シリコン系の絶縁膜に対して、フロロカーボン系のガスおよび酸素を有するエッチングガスを用いプラズマエッチング処理を施すことにより、前記酸化シリコン系の絶縁膜を選択的にエッチングして孔または溝を形成する際に、最初は、ポリマー層のデポジション性が弱い条件でエッチング処理を行い、続いてポリマー層のデポジション性が強い条件に切り換えてエッチング処理を行うことにより、高アスペクト比の孔または溝を穿孔することが可能となる。

#### 【図面の簡単な説明】

【図1】（a）および（b）は本発明者らが検討した深孔のエッチング形成処理の課題を説明する試料の要部断

面図である。

【図2】酸素の相対量が少ない条件、すなわち、ポリマー層等のデポジション性が強い条件（開口性の悪い条件）でエッチング処理をした場合のエッチング初期段階の試料の要部断面図である。

【図3】（a）～（d）は、酸素の相対量が多い条件、すなわち、ポリマー層等のデポジション性が弱い条件（開口性の良い条件）でエッチング処理をした場合のエッチング各段階における試料の要部断面図である。

【図4】（a）～（c）は、本発明者らが検討したエッチング技術であって、エッチング処理時の課題を考慮した深孔のエッチング形成処理時における試料の要部断面図である。

【図5】（a）～（c）は、酸化シリコン等からなる絶縁膜のエッチング原理を示す試料の要部断面図である。

【図6】（a）～（d）は、本発明の一実施の形態であるエッチング処理時の試料の要部断面図である。

【図7】本発明の技術思想の具体例と、図4で説明したエッチング技術とを比較して示したエッチング時間と酸素量との関係を示すグラフ図である。

【図8】本発明者らが行った実験で得られた第1ステップのエッチング時間と第2ステップの酸素流量依存性の一例を示す説明図である。

【図9】本実施の形態で用いたエッチング装置の一例の説明図である。

【図10】DRAMの製造工程中におけるウエハの全体平面図である。

【図11】本発明の一実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

【図12】図11と同じ半導体集積回路装置の製造工程中における図11に垂直な面の要部断面図である。

【図13】図11に続く半導体集積回路装置の製造工程中の要部断面図である。

【図14】図13と同じ半導体集積回路装置の製造工程中における図13に垂直な面の要部断面図である。

【図15】図13に続く半導体集積回路装置の製造工程中の要部断面図である。

【図16】図15と同じ半導体集積回路装置の製造工程中における図15に垂直な面の要部断面図である。

【図17】（a）および（b）は第1ステップのエッチング処理の終点検出をする際に用いたエッチング時間と発光強度との関係を示すグラフ図である。

【図18】図15に続く半導体集積回路装置の製造工程中の要部断面図である。

【図19】図18と同じ半導体集積回路装置の製造工程中における図18に垂直な面の要部断面図である。

【図20】（a）および（b）は第2ステップのエッチング処理の終点検出をする際に用いたエッチング時間と発光強度との関係を示すグラフ図である。

【図21】図18の半導体集積回路装置の製造工程中の

要部拡大断面図である。

【図22】図18に続く半導体集積回路装置の製造工程中の要部断面図である。

【図23】図22と同じ半導体集積回路装置の製造工程中における図22に垂直な面の要部断面図である。

【図24】図22に続く半導体集積回路装置の製造工程中の要部断面図である。

【図25】図24と同じ半導体集積回路装置の製造工程中における図24に垂直な面の要部断面図である。

【図26】図24の半導体集積回路装置の製造工程中の要部拡大断面図である。

【図27】図24に続く半導体集積回路装置の製造工程中の要部断面図である。

【図28】図24と同じ半導体集積回路装置の製造工程中における図24に垂直な面の要部断面図である。

【図29】図27に続く半導体集積回路装置の製造工程中の要部断面図である。

【図30】図29と同じ半導体集積回路装置の製造工程中における図29に垂直な面の要部断面図である。

【図31】図29および図30の半導体集積回路装置の製造工程中における半導体ウエハの要部平面図である。

【図32】図29に続く半導体集積回路装置の製造工程中の要部断面図である。

【図33】図32と同じ半導体集積回路装置の製造工程中における図32に垂直な面の要部断面図である。

【図34】図32に続く半導体集積回路装置の製造工程中の要部断面図である。

【図35】図34と同じ半導体集積回路装置の製造工程中における図34に垂直な面の要部断面図である。

【図36】図34に続く半導体集積回路装置の製造工程中の要部断面図である。

【図37】図36と同じ半導体集積回路装置の製造工程中における図36に垂直な面の要部断面図である。

【図38】図36および図37の半導体集積回路装置の製造工程中における半導体ウエハの要部平面図である。

【図39】図36に続く半導体集積回路装置の製造工程中の要部断面図である。

【図40】図39と同じ半導体集積回路装置の製造工程中における図39に垂直な面の要部断面図である。

【図41】図39および図40の半導体集積回路装置の製造工程中における半導体ウエハの要部平面図である。

【図42】図39の半導体集積回路装置の製造工程中の要部拡大断面図である。

【図43】図39に続く半導体集積回路装置の製造工程中の要部断面図である。

【図44】図43と同じ半導体集積回路装置の製造工程中における図43に垂直な面の要部断面図である。

【符号の説明】

1, 1a, 1b 絶縁膜

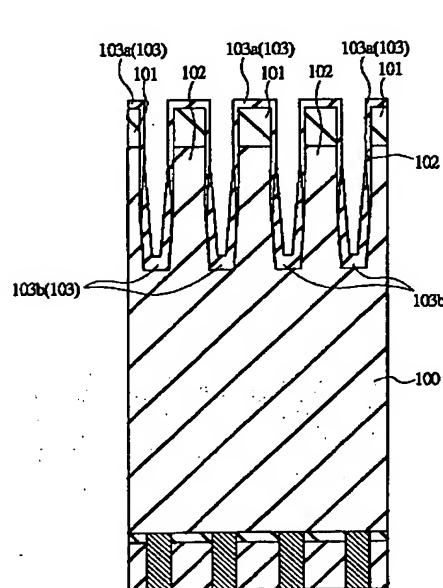
2 マスクパターン

2 a フォトレジストパターン  
 2 b ハードマスクパターン  
 3 孔  
 3 a コンタクトホール  
 3 b キャパシタ孔  
 4, 4 a, 4 b ポリマー層  
 5 エッチング装置  
 5 a チャンパ  
 5 b サセプタ  
 5 c 静電チャック  
 5 d 上部電極  
 5 d 1 電極板  
 5 d 2 電極支持体  
 5 d 3 孔  
 5 e ガス排気管  
 5 f 第1の高周波電源  
 5 g 第2の高周波電源  
 6 半導体ウエハ  
 6 S 半導体基板  
 7 分離部  
 8 ゲート絶縁膜  
 9 ゲート電極  
 10 a, 10 b n型半導体領域  
 10 c n<sup>+</sup>型半導体領域  
 11 キャップ膜

12 絶縁膜  
 15 a 反射防止膜  
 16 a, 16 b プラグ  
 17 絶縁膜  
 18 絶縁膜  
 19 絶縁膜  
 20 絶縁膜  
 21 スルーホール  
 22 a プラグ  
 24 情報蓄積用容量素子  
 24 a 下部電極  
 24 b 容量絶縁膜  
 24 c プレート電極  
 100 絶縁膜  
 101 マスクパターン  
 102 孔  
 103, 103 a, 103 b ポリマー層  
 HPF ハイパスフィルタ  
 LPF ローパスフィルタ  
 PW p ウエル  
 Qs メモリセル選択MIS・FET  
 WL ワード線  
 MA マスク形成膜  
 PR フォトレジスト膜

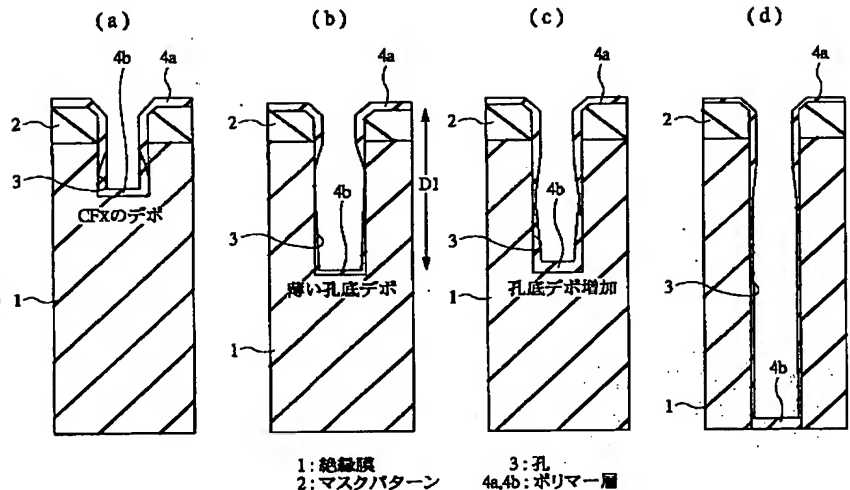
【図2】

図 2

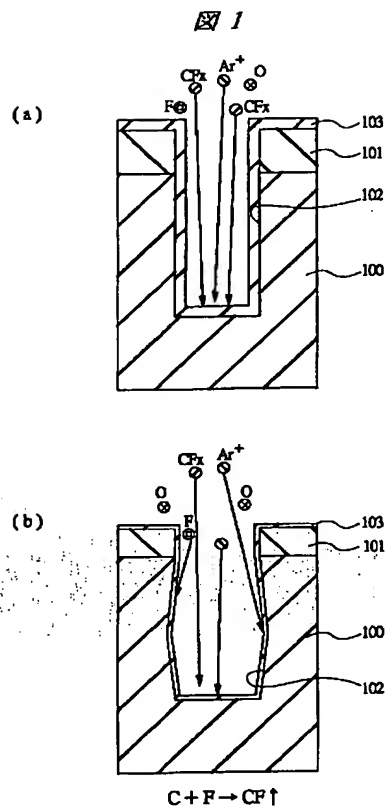


【図6】

図 6

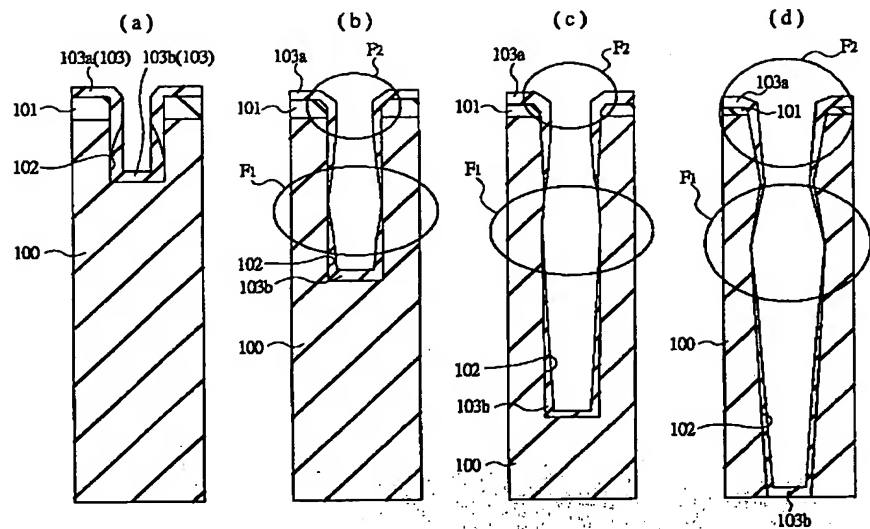


【図1】



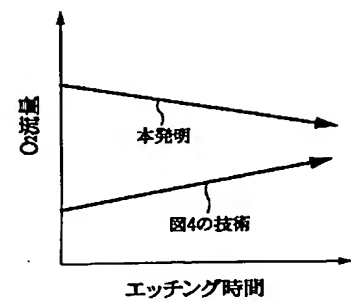
【図3】

図3



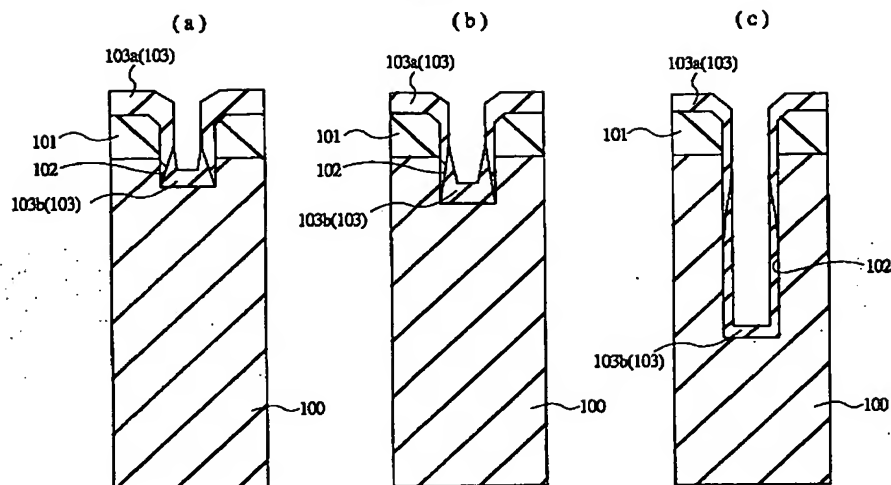
【図7】

図7



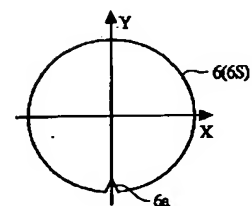
【図4】

図4



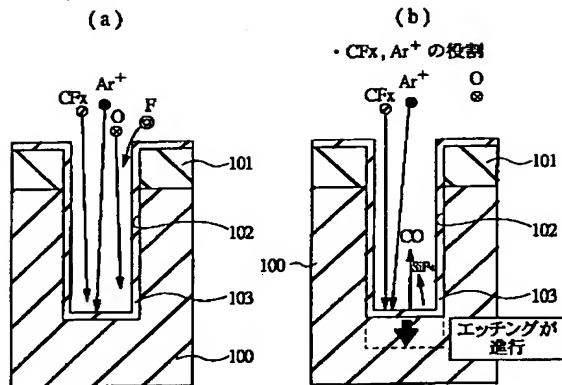
【図10】

図10



【図5】

図5



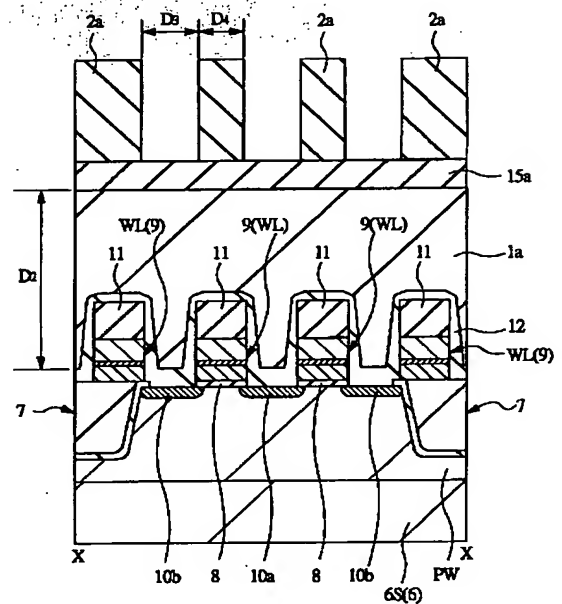
【図8】

図8

1st.ステップ 時間(秒)	2nd.ステップO <sub>2</sub> 流量		
	24cm <sup>3</sup> /min	26cm <sup>3</sup> /min	28cm <sup>3</sup> /min
30" (300nm)	×	×	△ マスク無
1' 00" (600nm)	×	○	△ マスク無
2' 00" (1.2μm)	○	○	△ マスク無

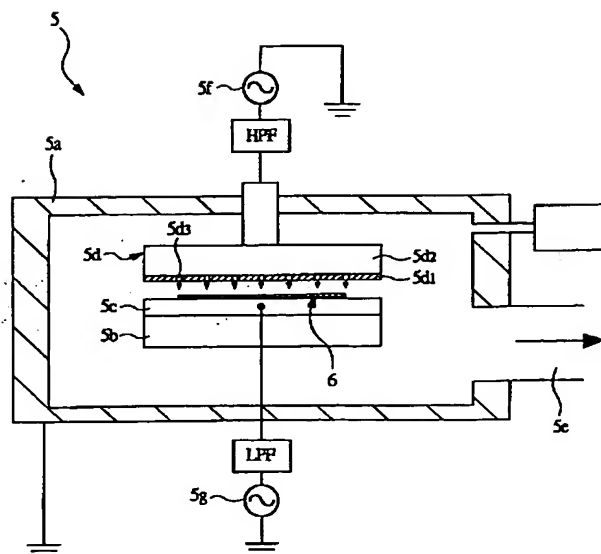
【図11】

図11

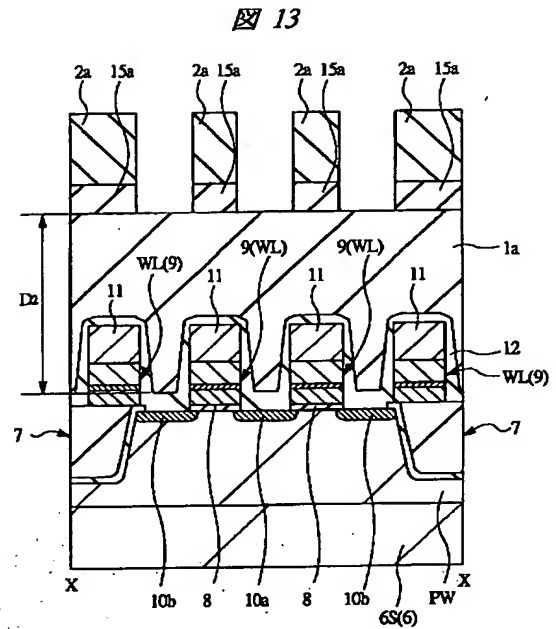


【図9】

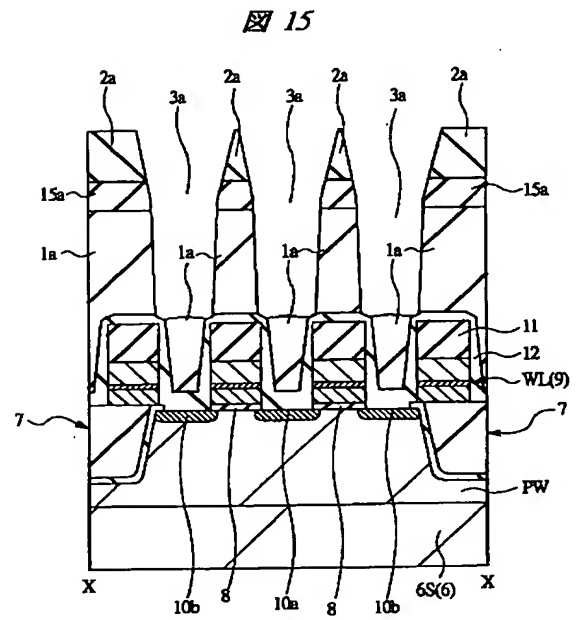
図9



【図 13】



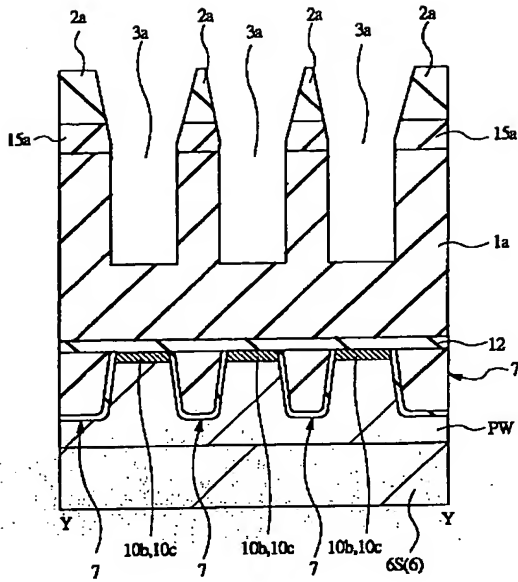
【図 15】





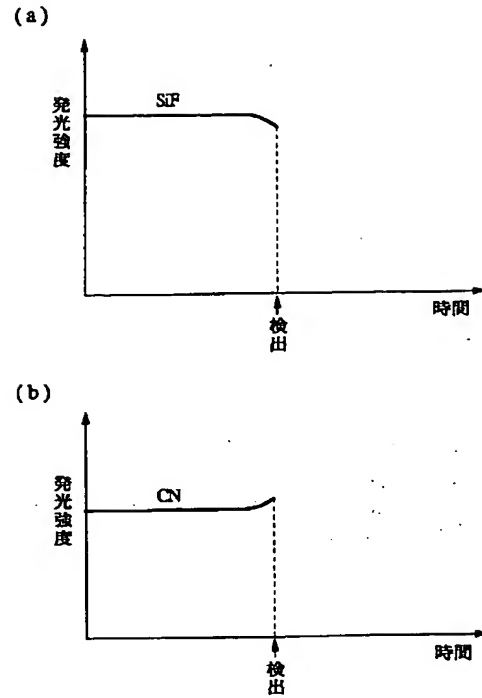
【図16】

図16



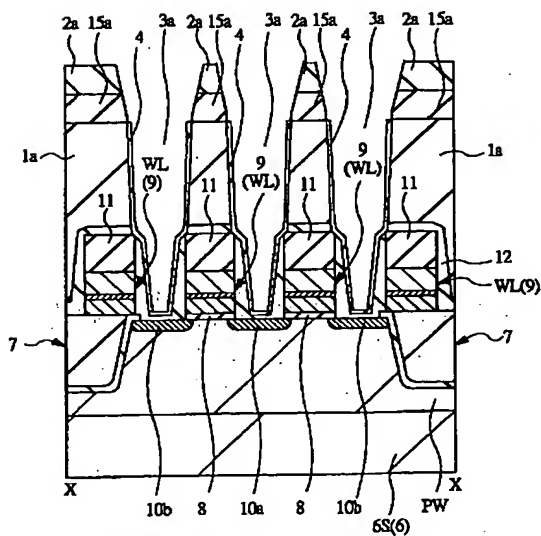
【図17】

図17



【図18】

図18

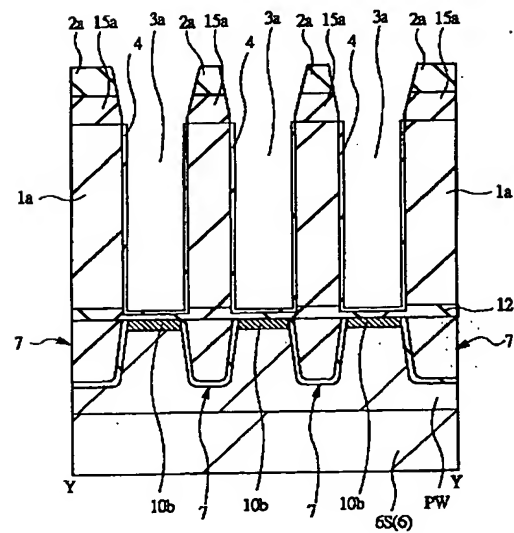


6: 半導体ウエハ  
6S: 半導体基板  
1a: 絶縁膜  
9: ゲート電極(電極配線)

12: 絶縁膜  
3a: コンタクトホール(孔)  
WL: ワード線

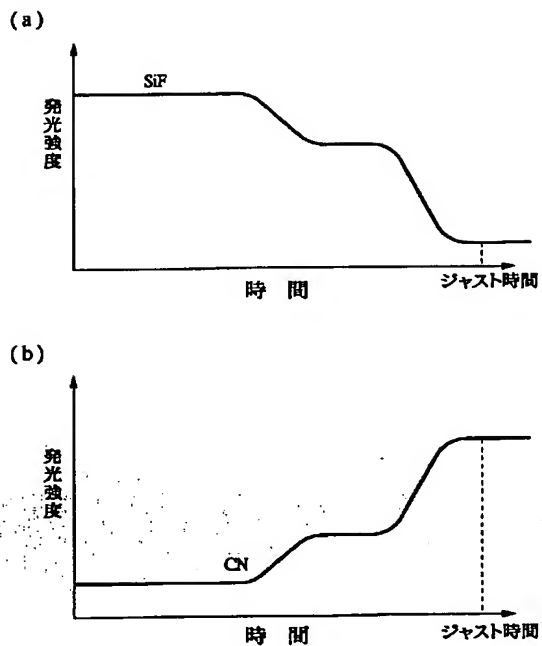
【図19】

図19



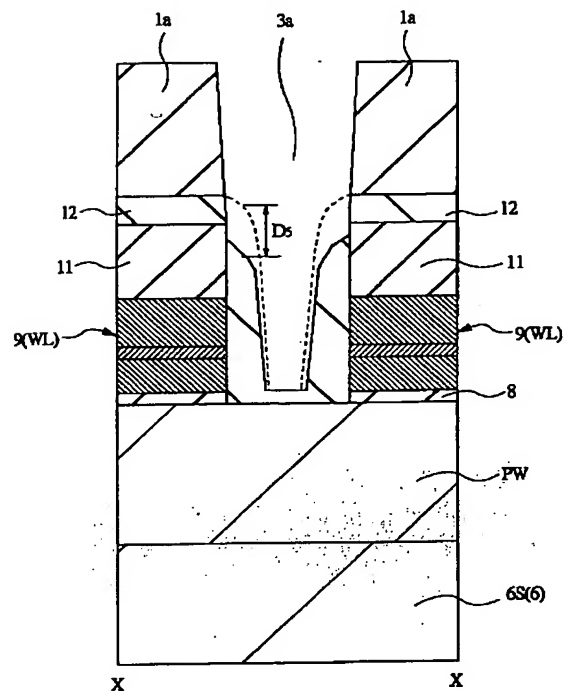
【図20】

図 20



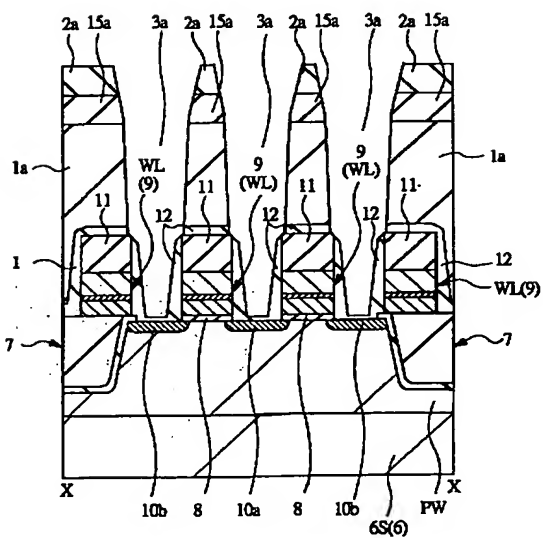
【図21】

図 21



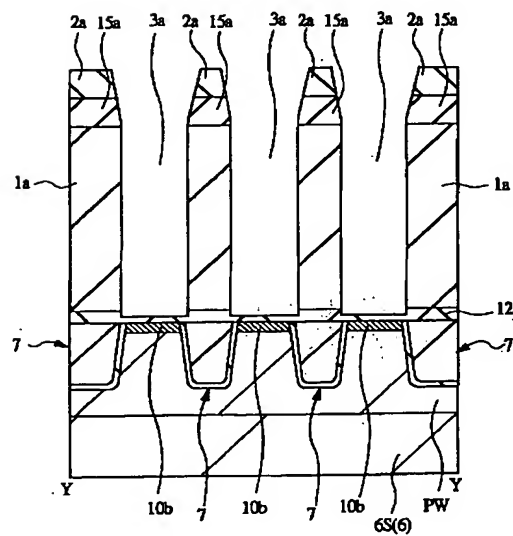
【図22】

図 22



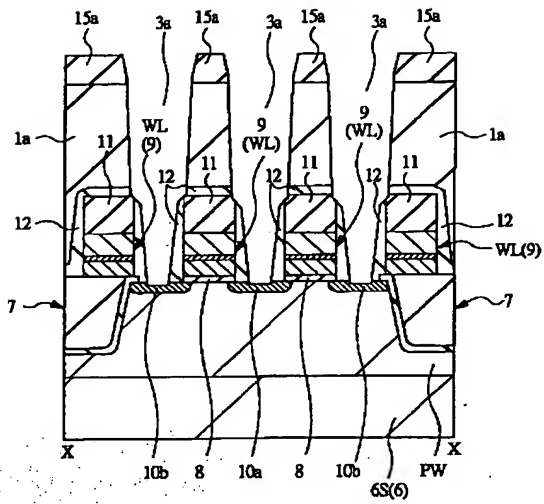
【図23】

図 23



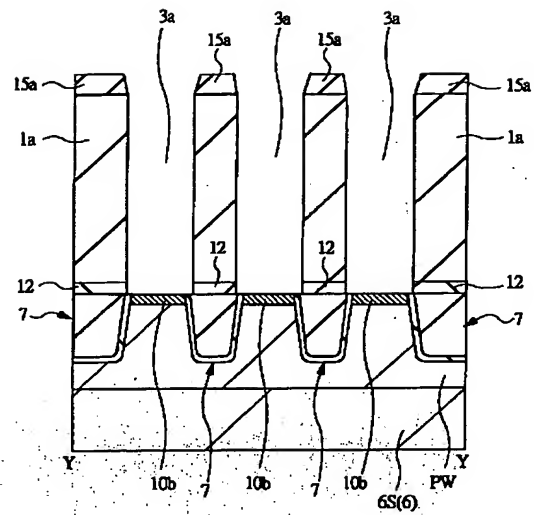
【図 24】

24



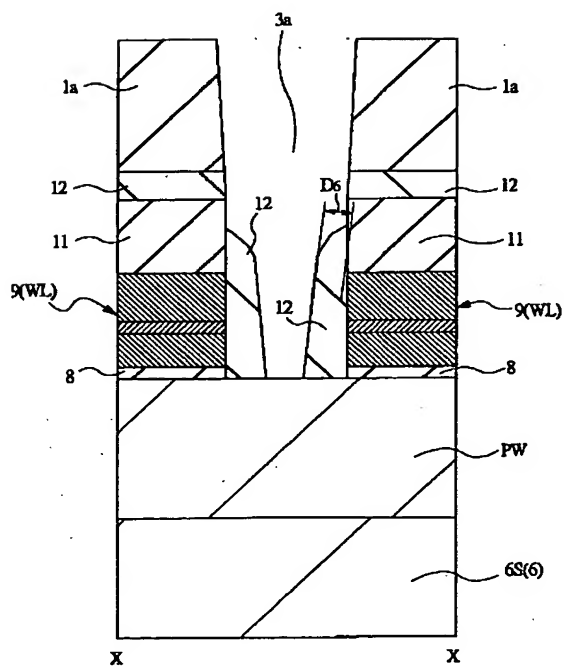
【图 25】

25



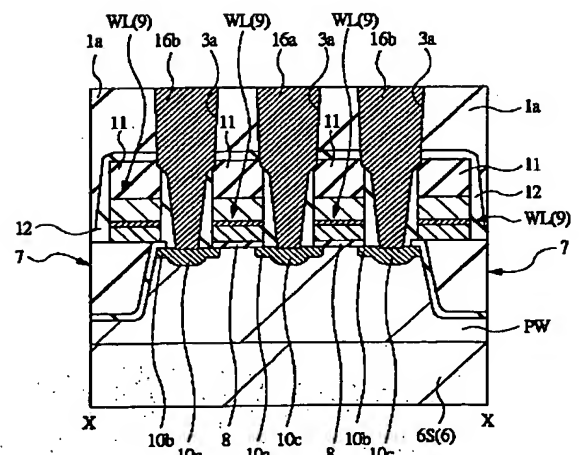
【图 26】

Figure 26 shows a square divided by a diagonal line from the top-left corner to the bottom-right corner. The upper-left triangular region is filled with diagonal hatching lines sloping downwards from left to right. The lower-right triangular region is filled with a cross-hatch pattern, consisting of both horizontal and vertical lines.

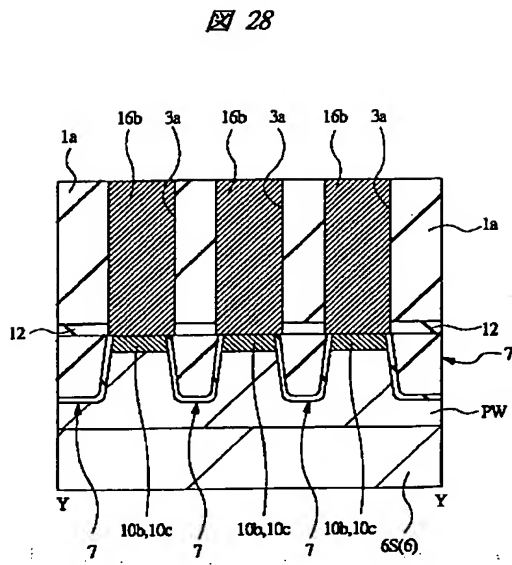


【図 27】

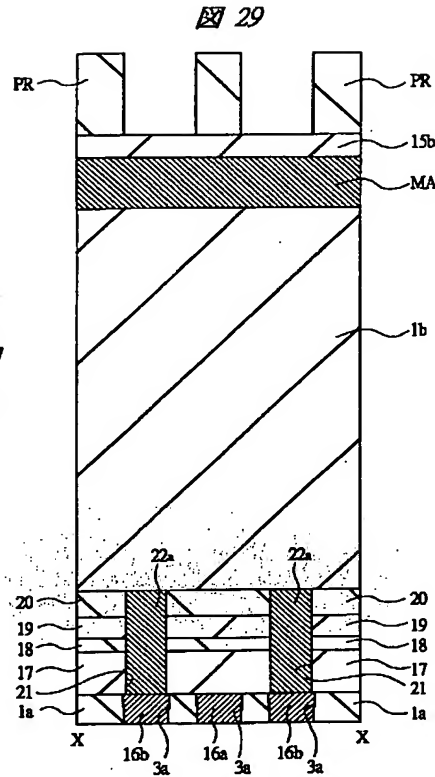
**27**



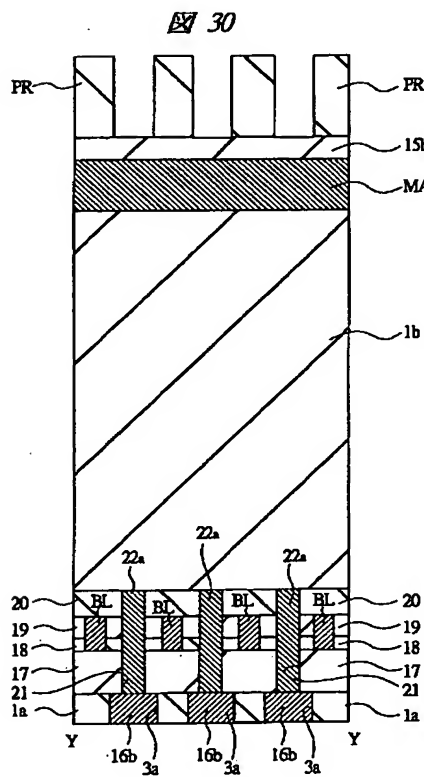
【図28】



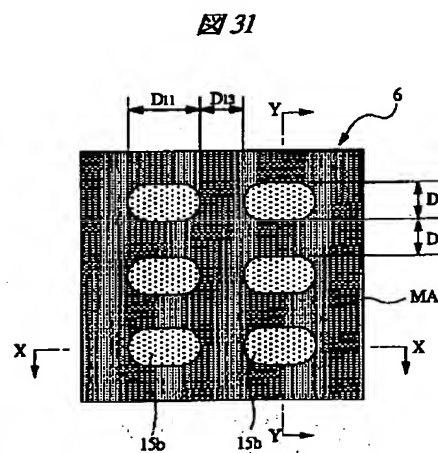
【図29】



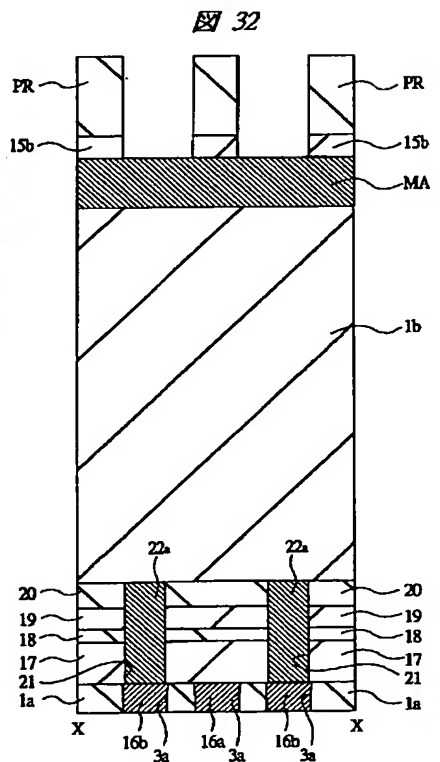
【図30】



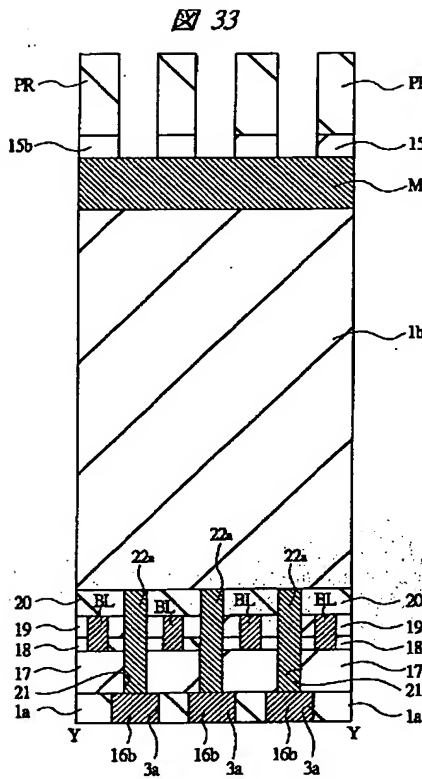
【図31】



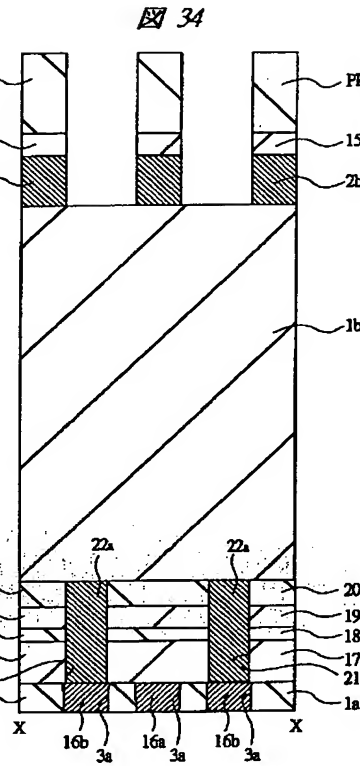
【図32】



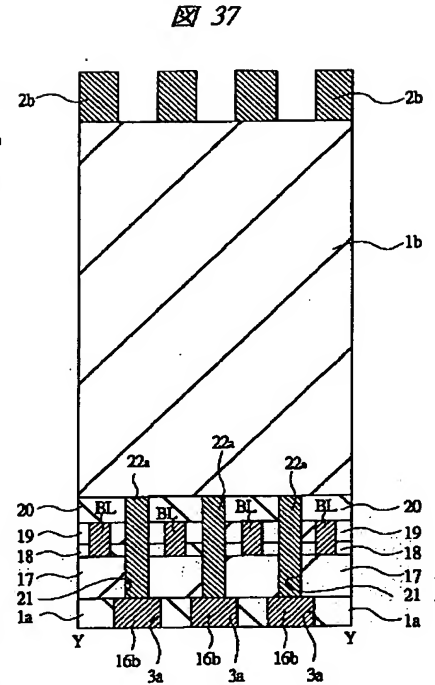
【図33】



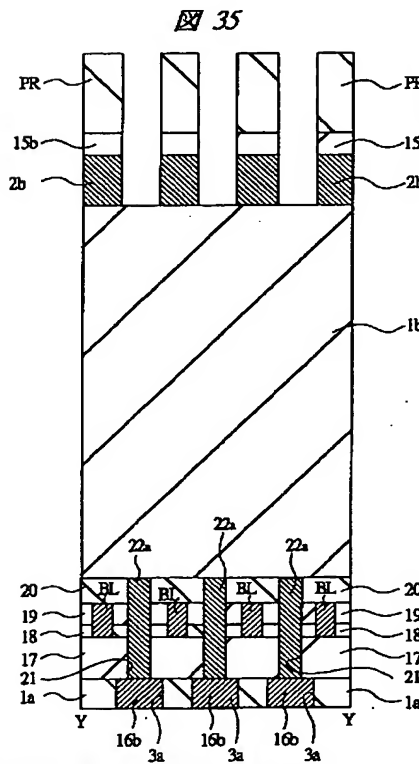
【図34】



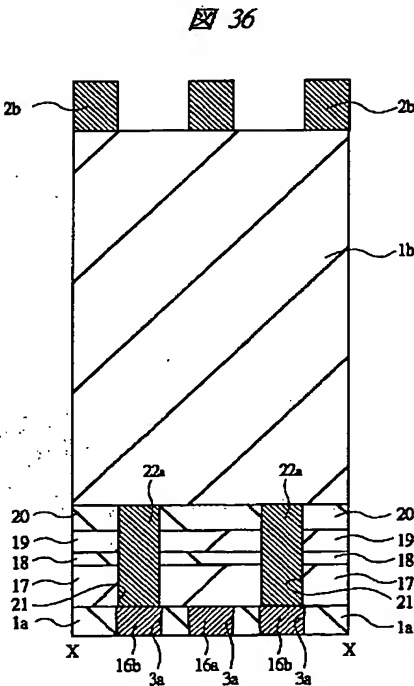
【図37】



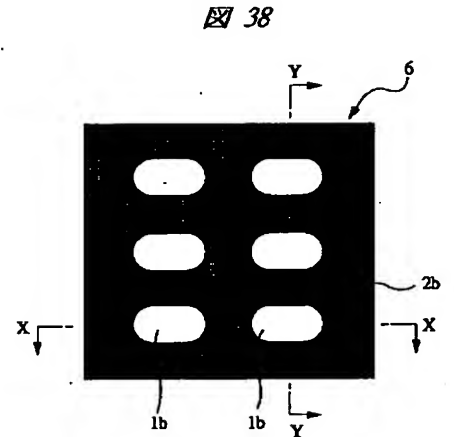
【図35】



【図36】

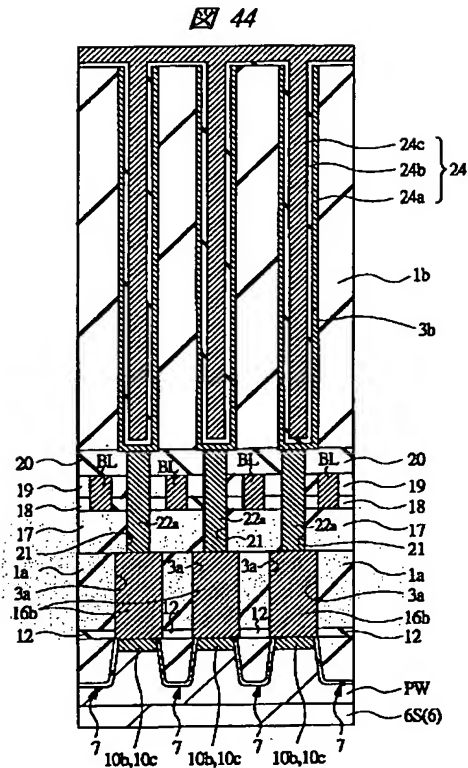


【図38】





【図44】



フロントページの続き

(72)発明者 田所 昌洋  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体グループ内  
 (72)発明者 伊澤 勝  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72)発明者 湯之上 隆  
 神奈川県相模原市下九沢1120 NEC日立  
 メモリ株式会社内

Fターム(参考) 4M104 AA01 AA03 AA09 BB01 BB40  
 CC01 DD08 DD16 DD17 DD37  
 DD43 EE15 EE17 GG16 HH14  
 5F004 AA16 BC03 CA02 CA08 DA00  
 DA01 DA02 DA03 DA15 DA16  
 DB03 EA28 EB01 EB04 EB05  
 5F033 GG03 GG04 JJ04 KK01 LL04  
 PP06 QQ09 QQ12 QQ13 QQ15  
 QQ21 QQ25 QQ27 QQ37 QQ48  
 RR04 RR06 SS04 SS11 SS13  
 TT02 VV16 WW01 WW10 XX04  
 5F083 AD24 AD31 AD48 JA56 MA02  
 MA06 MA17 NA01 PR03 PR06  
 PR39 PR40